



Fakulta elektrotechnická
Katedra aplikované elektroniky a telekomunikací

DIPLOMOVÁ PRÁCE

Univerzální signálový generátor

Autor práce: Bc. Miroslav Šíma
Vedoucí práce: Ing. Petr Krist, Ph.D.

Plzeň 2015

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2014/2015

ZADÁNÍ DIPLOMOVÉ PRÁCE
(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Miroslav ŠÍMA**
Osobní číslo: **E13N0109P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a aplikovaná informatika**
Název tématu: **Univerzální signálový generátor**
Zadávající katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :

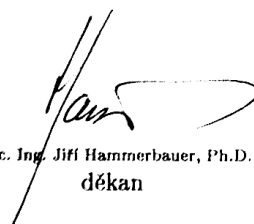
1. Prostudujte funkční možnosti a realizace dostupných signálových generátorů. Zaměřte se zejména na zařízení pracující v oblasti nízkých kmitočtů.
2. Navrhněte blokovou strukturu konfigurovatelného signálového generátoru s komfortním grafickým uživatelským rozhraním umožňujícím generování zcela obecných parametrizovatelných průběhů.
3. Realizujte návrh obvodového a programového řešení generátoru a vytvořte funkční prototyp.
4. Realizované zařízení zhodnoťte a změřte jeho parametry.

Rozsah grafických prací: podle doporučení vedoucího
Rozsah pracovní zprávy: 30 - 40 stran
Forma zpracování diplomové práce: tištěná/elektronická
Seznam odborné literatury:

1. Pinker, J.: Mikroprocesory a mikropočítače, BEN 2004
2. Davídek, V.: Číslicové zpracování signálů a implementace, Vydavatelství ČVUT, Praha 2002
3. Firemní literatura a datové listy ST Microelectronics, Analog Devices ...

Vedoucí diplomové práce: Ing. Petr Krist, Ph.D.
Katedra aplikované elektroniky a telekomunikací

Datum zadání diplomové práce: 15. října 2014
Termín odevzdání diplomové práce: 11. května 2015


Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan




Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 15. října 2014

Abstrakt

Tato práce se zabývá návrhem a realizací univerzálního signálového generátoru s komfortním grafickým uživatelským rozhraním. Teoretická část se věnuje popisu základních druhů generátorů - zejména generátoru na principu přímé číslicové syntézy a generátoru s proměnným vzorkovacím kmitočtem. Praktická část dále vývoji grafické knihovny, řadiče I²C pro obvod FPGA a návrhu desek plošných spojů. Výsledkem je funkční prototyp signálového generátoru s výstupní frekvencí do 70 MHz s rozkmitem výstupního signálu do 3 V_{pp}.

Klíčová slova

Univerzální signálový generátor, DDS, číslicová syntéza, I2C, grafická knihovna, AWG

Abstract

Šíma, Miroslav. *Universal signal generator* [*Univerzální signálový generátor*]. Pilsen, 2015. Master thesis (in Czech). University of West Bohemia. Faculty of Electrical Engineering. Department of Applied Electronics and Telecommunications. Supervisor: Petr Krist

This diploma thesis is focused on design of universal signal generator with comfortable graphic user interface. The theory section is dedicated to description of basic types of signal generators - mainly the the signal generator based on direct digital synthesis and signal generator based on variable clock architecture. The method section is focused on research of graphic library, I²C controller for the FPGA and design of printed circuit board. The resulting prototype of signal generator is capable of generating output frequency of 70 MHz with output voltage of 3 V_{pp}.

Keywords

Universal signal generator, DDS, direct digital synthesis, I2c, graphic library, AWG

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem svou závěrečnou práci vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 270 trestního zákona č. 40/2009 Sb.

Také prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne 11. května 2015

Bc. Miroslav Šíma

.....

Podpis

Poděkování

Rád bych na tomto místě poděkoval
vedoucímu této práce Ing. Petru Kristovi, Ph.D za mimořádně vstřícný přístup,
Ing. Aleši Voborníkovi, Ph.D za mnohé odborné rady ohledně analogové části,
Doc. Ing. Jiřímu Skálovi, Ph.D. za cenné informace ohledně stínění,
... a dále všem, kteří mne podporovali.

Obsah

Seznam obrázků	vii
Seznam symbolů a zkratek	viii
1 Úvod	1
2 Teoretická část	3
2.1 Základní typy číslicových generátorů signálů	3
2.1.1 Generátory s proměnnou vzorkovací frekvencí	3
2.1.2 Přímá číslicová syntéza	4
2.1.3 Generátory typu AFG	6
2.1.4 Generátory typu AWG	7
2.1.5 Porovnání generátorů typu AWG a AFG	7
2.2 Pokročilé vlastnosti signálových generátorů	9
2.2.1 Segmentace průběhů	9
2.2.2 Sekvencování průběhů	9
2.2.3 Frekvenční modulace	9
2.2.4 Fázová modulace	10
2.2.5 Amplitudová modulace	11
2.3 Problematika návrhu	12
2.3.1 Omezení rozsahu paměti vzorků	12
2.3.2 Spektrum generovaného signálu a jeho filtrace	13
2.4 Problematika návrhu desky plošných spojů	14
2.4.1 Rozvod zemních potenciálů	14
2.4.2 Stínění plošného spoje generátoru	16
3 Konstrukční část	17
3.1 Popis řešení signálového generátoru	17
3.2 Grafická knihovna	19
3.2.1 Důvod volby grafického rozhraní	19
3.2.2 Popis řešení	19
3.3 I ² C pro potřeby signálového generátoru	23
3.3.1 Popis a zdůvodnění výběru	23

3.3.2	Registrová sada signálového generátoru	24
3.3.3	Programování I ² C řadiče pro obvod FPGA	24
3.3.4	Přenos vícebytových parametrů	28
3.3.5	Přenos průběhů do paměti RAM obvodu FPGA	28
3.4	Programové řešení signálového generátoru	29
3.4.1	Řešení číslicového syntezátoru	29
3.4.2	Nastavení výstupní amplitudy	30
3.4.3	Řešení generátoru typu AWG	30
3.5	Návrh desky plošných spojů	32
3.5.1	Napájecí zdroj	32
3.5.2	Číslicová část signálového generátoru	32
3.5.3	Analogová část signálového generátoru	33
3.6	Dosažené parametry	34
4	Závěr	35
	Reference, použitá literatura	36
	Přílohy	37
	A Schémata zapojení	37
	B Zdrojové soubory	41

Seznam obrázků

2.1	Blokové schéma algoritmu DDS	4
2.2	Realizace fázového akumulátoru	4
2.3	Fázová kružnice	5
2.4	Obsah paměti vzorků	5
2.5	Generovaný průběh pro fázový inkrement 3	6
2.6	Obsah paměti vzorků	6
2.7	Generovaný průběh pro fázový inkrement odpovídající číslu 3	7
2.8	Sekvenování průběhů Převzat z [4] 	9
2.9	Frekvenční modulace	10
2.10	Fázová modulace	11
2.11	Amplitudová modulace	11
2.12	Zrušení periodičnosti fázové chyby	12
2.13	Spektrum generovaného harmonického signálu Převzat z [1] 	13
2.14	Parazitní parametry plošných spojů Převzat z [6] 	15
2.15	Strukturování rozlité mědi	15
3.1	Blokové schéma generátoru	17
3.2	Datové struktury	20
3.3	Obrazovka pro volbu parametrů průběhu sinus	22
3.4	Obrazovka pro volbu parametrů uživatelem definovaného průběhu	22
3.5	Základní rámec I ² C Převzat z [5] 	23
3.6	Detekce falešných hran I ² C	25
3.7	Filtrace signálů I ² C	26
3.8	Hranový detektor	26
3.9	Adresová část přijaté zprávy I ² C	27
3.10	Datová část přijaté zprávy I ² C	27
3.11	Přehled využitých prostředků	30
A.1	Signálový generátor - schéma A	38
A.2	Signálový generátor - schéma B - výstupní část	39
A.3	Signálový generátor - schéma C - napájecí modul	40

Seznam symbolů a zkratek

AFG	Arbitrary function generator. Funkční generátor.
ASIC	Application Specific Integrated Circuit. Zákaznický integrovaný obvod.
AWG	Arbitrary waveform generator. Generátor libovolných průběhů.
DDS	Direct digital synthesis. Přímá číslicová syntéza.
FPGA	Field Programmable Gate Array. Programovatelné hradlové pole.
FSK	Frequency-shift keying. Klíčování frekvenčním posuvem.
I ² C	Inter-Integrated Circuit. Komunikační sběrnice firmy Philips
LUT	Lookup table. Tabulka vzorků.
RAM	Random Access Memory. Paměť s přímým přístupem.
ROM	Read-Only Memory. Paměť pouze pro čtení.
SCLK	Serial clock. Sériové hodiny sběrnice I ² C
SDA	Serial Data. Sériová data sběrnice I ² C
VHDL	VHSIC Hardware Description Language. Programovací jazyk sloužící pro popis hardware
V _{pp}	Voltage Peak-to-Peak. Napětí špička-špička.

Kapitola 1

Úvod

Cílem této diplomové práce je návrh a realizace univerzálního signálového generátoru. Pojem univerzální je pro práci stěžejní - definuje potřebu implementace funkcí pro generování libovolných průběhů, snadnou modifikaci průběhů a parametrů signálů. S avizovanými možnostmi vzniká i potřeba intuitivního komfortního ovládání. Z toho důvodu je část práce věnována i vývoji grafické knihovny. Zmíněno je také programování I²C slave pro obvod FPGA. Vzhledem k realizaci přípravku je popsáno i obvodové řešení.

I přes dostupnost různých jednočipových řešení signálových generátorů byl zvolen obvod FPGA jako výpočetní základ pro realizaci přímé číslicové syntézy a generátoru s proměnným vzorkovacím kmitočtem. Toto řešení má jistě řadu nevýhod oproti obvodům navrhovaným výhradně pro generaci různých tvarových signálů. Využití obvodu FPGA však s sebou přináší možnost jednoduché přizpůsobitelnosti a modifikovatelnosti. Umožňuje také pochopení principů algoritmů určených pro generaci signálu a jejich vyzkoušení a ověření v praxi. Podobně bylo přistupováno k uživatelskému rozhraní. I přes jistě kvalitní dostupná řešení je pochopení principů podmíněno vlastním návrhem. Navíc kvalitní řešení jsou zpravidla komerční a nedisponují volně dostupnými zdrojovými kódy. To znemožňuje jakoukoliv změnu a uživatel je odkázán pouze na dostupné řešení.

Součástková základna je tvořena obvodem FPGA, konkrétně obvodem EP4CE6E22 společnosti Altera. Převod číslicových signálů na signály analogové zprostředkovává obvod DAC5672 společnosti Texas Instruments. Pro interakci s uživatelem byla využita vývojová deska DISCOVERY-KIT F4 s mikrokontrolérem STM32F407 společnosti ST Microelectronics. Disponuje konektorem pro připojení USB flash disku, který byl využit pro možnost generace signálů definovaných souborem na paměťovém médiu. Vývojová deska spolu s dostupným modulem LCD displeje umožňuje obsluhu grafického rozhraní.

Začátek práce pojednává o principech nejčastěji používaných číslicových signálových generátorů, jejich možné realizaci a využití pro praktické nasazení. Následuje popis některých

funkcí, kterými moderní generátory disponují. Další kapitola se zabývá shrnutím základních informací, které jsou aplikovatelné pro vlastní návrh desek plošných spojů. Následuje část věnující se grafické knihovně, která popisuje systém grafických prvků, způsob vykreslování a zmiňuje použité ovládací elementy, které byly vhodné pro dosažení patřičného komfortu ovládání. Programování komunikace I²C je obsahem následující kapitoly. Obsahuje základní tvary rámců charakteristických pro komunikaci po I²C sběrnici, problematiku rušení a způsob programování. Poslední kapitola již popisuje finální návrh plošného spoje. Uvedeny jsou i klíčové parametry generátoru.

Kapitola 2

Teoretická část

2.1 Základní typy číslicových generátorů signálů

2.1.1 Generátory s proměnnou vzorkovací frekvencí

Princip generování signálů s proměnnou vzorkovací frekvencí je velmi snadný na pochopení a pro jednoduchost realizace na jednočipovém mikropočítači je velmi často využíván pro jednoduché aplikace. Spočívá v postupném převodu vzorků. Možnost zvýšení frekvence je snížením časového intervalu mezi okamžiky převodu jednotlivých vzorků. Pro příklad jednoduchého mikropočítače lze okamžiky převodu vyřešit vhodným nastavením časovače. Vzorek je poté přesunut do registru převodníku v okamžiku vyvolání přerušení od časovače po uplynutí nastavené doby. Následně se posune ukazatel na následující vzorek v paměti vzorků. Po převodu všech vzorků se ukazatel pro možnost opakování nastaví opět na začátek paměti vzorků generovaného průběhu. Pro vysoké frekvence je však toto řešení nevyhovující z hlediska výpočetní náročnosti. Vhodnější je využít periferie DMA, která po správném nastavení již sama řeší postupné přesouvání vzorků do registru číslicově-analogového převodníku. Pro úsporu paměti či speciální aplikace je možno jednotlivé vzorky počítat přímo na základě definované matematické funkce. Je však potřeba zajistit konstantní časový interval mezi jednotlivými vzorky, tedy je vhodné zvážit využití vyrovnávací paměti, například kruhového bufferu.

Tento způsob generování signálu (především sinusového) odebráním vzorků z tabulky s proměnnou frekvencí má však základní nevýhodu a to především velmi obtížně realizovatelný vhodný rekonstrukční filtr. Spektrum generovaného signálu je závislé na vzorkovací frekvenci. Vlivem proměnné frekvence vzorků by bylo vhodné navrhnout analogový filtr s proměnnou mezní frekvencí. Tyto filtry se realizují nejčastěji jako filtry se spínanými kondenzátory či jako filtry aktivní, především s operačními zesilovači. Filtry se spínanými

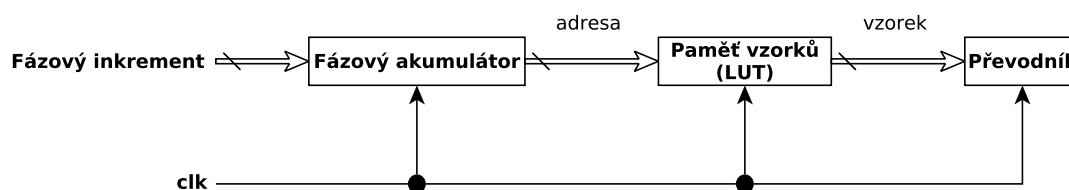
kondenzátory produkují rušení, pro vysokofrekvenční aplikace vynikají především operační zesilovače s proudovou zpětnou vazbou díky vyšší šířce pásma. Tento typ zesilovačů nelze používat s frekvenčně závislou zpětnou vazbou tak, jako je to možné u operačních zesilovačů s napěťovou zpětnou vazbou.

Tohoto principu generování signálů velmi často využívají generátory typu AWG (Arbitrary Waveform Generator).

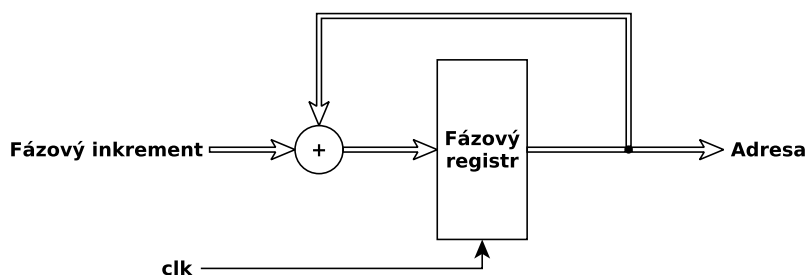
2.1.2 Přímá číslicová syntéza

Problematika je řešení původního problému, tedy generování signálových průběhů za pomoci konstantní vzorkovací frekvence. Jedním z nejpoužívanějších způsobů je přímá číslicová syntéza.

Tato metoda vychází z předpokladu, že je možné navýšit frekvenci generovaného průběhu bez změny vzorkovací frekvence tím, že se vždy určitý počet vzorků v LUT "přeskočí" a adresy adresující jednotlivé vzorky v paměti pro vyčtení jsou od sebe vzdálené o takzvaný fázový inkrement. Blokové schéma je uvedeno na Obr. 2.1.



Obrázek 2.1: Blokové schéma algoritmu DDS



Obrázek 2.2: Realizace fázového akumulátoru

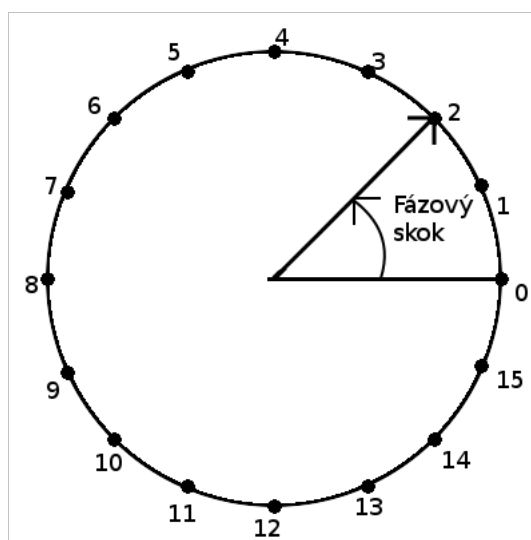
Pro generování signálu o konstantní frekvenci je ladící slovo určující frekvenci průběhu ve sčítačce sčítáno po každém taktu s číslem v registru fáze. Jednotlivé kroky lze demonstrovat na takzvané fázové kružnici s rotujícím vektorem, který obíhá kružnici po skocích

odpovídajícím velikostem fázového inkrementu. Aktuální úhel natočení vektoru udává aktuální vzorek čtený z paměti vzorků. Výstupní frekvence je dána rovnicí 2.1. Frekvenční rozlišení poté rovnicí 2.2

$$F_{OUT} = \frac{\phi_{INC} \cdot f_{clk}}{2M} \quad [Hz] \quad (2.1)$$

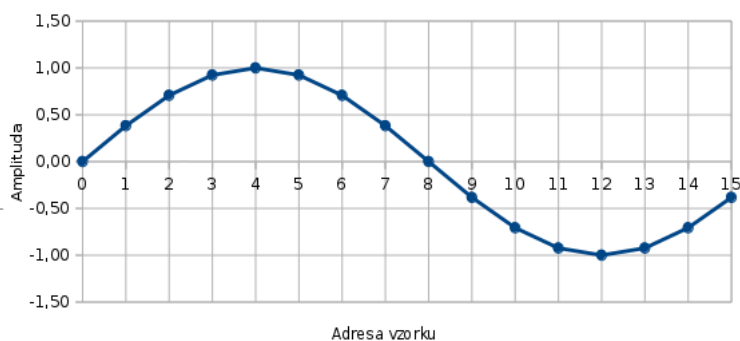
$$F_{RES} = \frac{f_{clk}}{2M} \quad [Hz] \quad (2.2)$$

Vše je znázorněno na obrázku 2.3. Dále je zjednodušeně ilustrován průběh funkce definovaný vzorky v paměti vzorků (ekvivalentní průběh při zvoleném fázovém inkrementu rovnému 1) na obrázku 2.4 a časový průběh generovaného průběhu pro fázový inkrement odpovídající číslu 3 na obrázku 2.5.



Obrázek 2.3: Fázová kružnice

Adresa Vzorku	Amplituda
0	0,00
1	0,38
2	0,71
3	0,92
4	1,00
5	0,92
6	0,71
7	0,38
8	0,00
9	-0,38
10	-0,71
11	-0,92
12	-1,00
13	-0,92
14	-0,71
15	-0,38



Obrázek 2.4: Obsah paměti vzorků

Hodinový Cyklus	Adresa Vzorku	Amplituda
0	0	0,00
1	3	0,92
2	6	0,71
3	9	-0,38
4	12	-1,00
5	15	-0,38
6	1	0,38
7	4	1,00
8	7	0,38
9	10	-0,71
10	13	-0,92
11	0	0,00
12	3	0,92
13	6	0,71
14	9	-0,38
15	12	-1,00



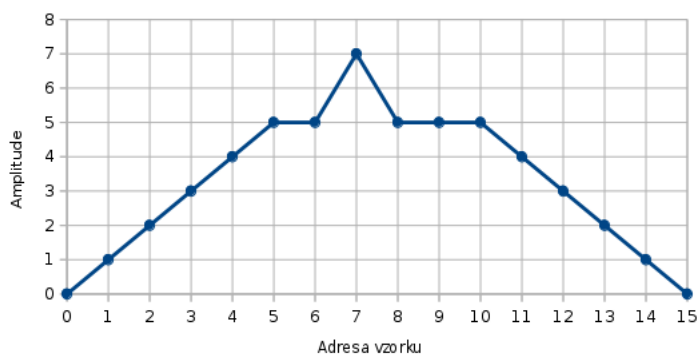
Obrázek 2.5: Generovaný průběh pro fázový inkrement 3

2.1.3 Generátory typu AFG

Generátory typu AFG (Arbitrary Function Generator) využívají výše zmíněného principu generování průběhů různých frekvencí za pomoci změny fázového inkrementu. Mají však podstatnou nevýhodu a to především při generování signálů, jejichž tvar obsahuje úseky s příliš strmou změnou amplitudy. Jinými slovy mají-li sousedící vzorky, dané adresou, příliš prudkou změnu hodnoty (úzce související s amplitudou). Pro zvýšení frekvence takového průběhu je totiž potřeba zvýšit fázový inkrement a tyto vzorky mohou být vynechány. Nejčastěji jsou vynechány pouze v několika periodách, protože adresované vzorky v LUT jsou velmi často každou periodu jiné než v té předchozí. Dochází tedy k deformaci požadovaného průběhu. Tento jev je obdobně vyjádřen zjednodušeným obrázkem 2.6 a 2.7.

Výhodou je možnost zvyšovat frekvence daleko nad frekvenci, která by byla teoreticky dána podílem vzorkovací frekvence převodníku a počtem vzorků popisující tvar funkce v LUT. Dále je usnadněn návrh filtru, který se zpravidla volí s pevným mezním kmitočtem.

Adresa Vzorku	Amplituda
0	0
1	1
2	2
3	3
4	4
5	5
6	5
7	7
8	5
9	5
10	5
11	4
12	3
13	2
14	1
15	0



Obrázek 2.6: Obsah paměti vzorků

Hodinový Cyklus	Adresa Vzorku	Amplituda
0	0	0
1	3	3
2	6	5
3	9	5
4	12	3
5	15	0
6	1	1
7	4	4
8	7	7
9	10	5
10	13	2
11	0	0
12	3	3
13	6	5
14	9	5
15	12	3



Obrázek 2.7: Generovaný průběh pro fázový inkrement odpovídající číslu 3

2.1.4 Generátory typu AWG

Princip generátorů AWG (Arbitrary Waveform Generator) je velmi odlišný od předchozího typu. Zpravidla využívají pro generaci signálových průběhů proměnnou vzorkovací frekvenci. Nepracují s pojmem "fázový inkrement", jelikož je generován každý vzorek a nedochází k výše zmíněnému "skoku" mezi sousedícími vzorky za účelem zvýšení frekvence. Změna frekvence generovaných průběhů se zde dosahuje změnou frekvence čtení vzorků z LUT a jejich distribucí digitálně analogovému převodníku. Nedochází tedy ke změně signálu výstupního vůči signálu definovanému v LUT.

Nutností je zde však určit vhodný počet vzorků žádaného signálu v závislosti na maximální možné vzorkovací frekvenci, která je dána samozřejmě rychlostí převodníku a předřadného systému. Minimální doba periody lze poté spočítat prostým součinem minimální vzorkovací periody a počtem vzorků definujících generovaný signál. Tato frekvence již nelze navýšit snížením počtu vzorků na periodu tak, jako to bylo řešeno u generátorů typu AFG.

2.1.5 Porovnání generátorů typu AWG a AFG

Shrnutím vlastností lze tedy odvodit vhodnost využití generátorů typu AFG pro generaci funkcí s pozvolným průběhem, typickým především pro sinus. Naopak především pro generaci průběhů s obsahem úzkých impulsů či průběhů s tvarem, jehož tvar lze kvalitně postihnout generováním všech či určitých dílčích vzorků je určen generátor typu AWG.

Z hlediska dostupnosti vzorků různých průběhů se generátory typu AFG často řeší s permanentní pamětí ROM či pamětí s možností zápisu. Další možností je výpočet vzorků například algoritmem CORDIC (COordinate Rotation DIGital Computer) či jiným způsobem. Generátory typu AWG vždy disponují rozhraním pro možnost nahrávání uživatelem

definovaných průběhů. Příkladem je například rozhraní GPIB, USB, ETHERNET. Dále je možnost nadefinování průběhů za pomoci ovládacích prvků. Oba dva typy generátorů mohou obsahovat interpolační algoritmy pro ovlivnění počtu vzorků průběhů dle různých interpolačních funkcí.

Každý z těchto generátorů má své uplatnění. Ideální je však kombinace obou dvou, čímž se zabývá tato práce.

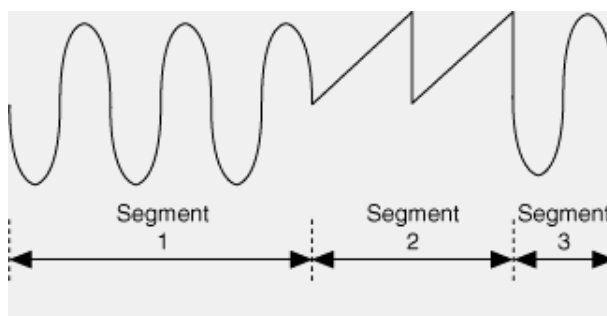
2.2 Pokročilé vlastnosti signálových generátorů

2.2.1 Segmentace průběhů

Část signálových generátorů disponuje funkcí umožňující generovat signál, který je tvořen z libovolného úseku libovolného průběhu uloženého v paměti. Tímto způsobem lze například z trojúhelníkového průběhu vytvořit průběh pilového charakteru, ze sinusového průběhu jeho usměrněnou variantu a různé další modifikace. Při dostatečném množství průběhů k dispozici se tak lze v mnoha případech vyvarovat i ručnímu vytváření průběhů, které je zpravidla pracnější než nadefinování generovaných úseků, které splňují charakter žádaného průběhu signálu.

2.2.2 Sekvencování průběhů

Tato funkce je velmi často součástí generátorů se segmentací průběhu. Zpravidla lze za pomoci skriptů nadefinovat pořadí různých průběhů, jejich trvání, způsob přechodu mezi nimi a mnoho dalších parametrů. Přepínání mezi dílčími průběhy může být například nastavením času přepnutí na další průběh, ručním přepnutím ovládacím prvkem a nebo velmi často s využitím spouštěcího obvodu (takzvaný trigger). Příklad průběhu je na obrázku 2.8.

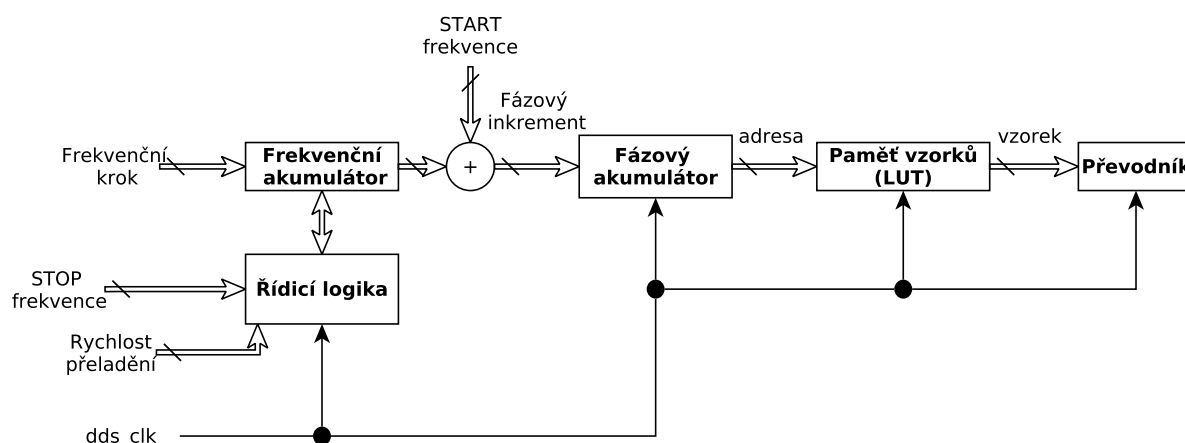


Obrázek 2.8: Sekvencování průběhů |Převzato z [4]|

2.2.3 Frekvenční modulace

Tato možnost je jednoduše realizovatelná přepínáním frekvence vzorkování (generátor typu AWG) či průběžnými změnami fázového inkrementu (generátor typu AFG). Nejčastěji je tato možnost implementována v posledně zmíněných generátorech na principu DDS. Rychlost přeladění je velmi vysoká a je nezávislá na přeladění mezi širokým frekvenčním intervalem a mezi úzkým frekvenčním intervalem. Tím se liší především od analogových

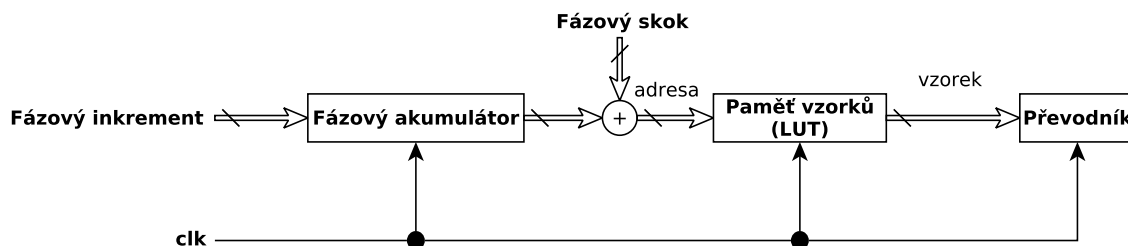
signálových generátorů. Rychlost přeladění je poté závislá na způsobu modifikace dat fázového inkrementu. Z hlediska obvodové realizace je samozřejmě hodnota fázového inkrementu načítána do registru. Záleží tedy na zvolené sběrnici. Přístup skrze sériový komunikační kanál bude mnohem pomalejší než přístup skrze paralelní sběrnici. I první možnost přístupu lze však významně urychlit. Před spuštěním frekvenční modulace lze například za pomoci mikrokontroléru uložit jednotlivé hodnoty fázových inkrementů do paměti typu RAM, obsažené v jednotce generátoru DDS (obvod typu FPGA či zákaznický obvod (ASIC)). Dle uspořádání syntezátoru lze poté vyčítat jednotlivé hodnoty fázových inkrementů uložených v paměti buď na základě vnitřního časování či spouštěním číslicovým signálem přes vyhrazený vývod pouzdra. Mimo modulace známé z radiotechniky (FSK) lze této vlastnosti využít pro generaci rozmítaných signálů. Pro generování lineárního rozmítání bude obsah paměti RAM obsahovat fázové inkrementy s konstantními intervaly mezi hodnotami. Z důvodu jednoduchosti lze však využít čítače či akumulátoru obdobně jako byl použit pro generaci adresy pro paměť vzorků. Výstupem však v tomto případě bude fázový inkrement. Ukládání jednotlivých inkrementů do paměti RAM je však vhodné pro atypické modulační průběhy. Možné řešení je ilustrováno obrázkem 2.9.



Obrázek 2.9: Frekvenční modulace

2.2.4 Fázová modulace

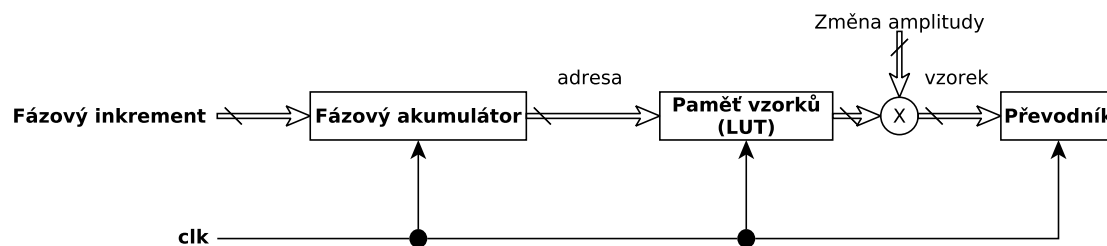
Možnost fázového skoku je zobrazena na obrázku 2.10. Přičtení čísla k adrese vzorku vyvolá fázové posunutí signálu. Pro fázovou modulaci lze použít podobné řešení jako u modulace frekvenční.



Obrázek 2.10: Fázová modulace

2.2.5 Amplitudová modulace

Amplitudové modulace lze dosáhnout přidáním násobičky mezi paměť vzorků a číslicově-analogový převodník. Jedná se však o řešení pro nenáročné aplikace - snižuje se rozlišení generovaného signálu. Lepší variantou je zajištění amplitudové modulace násobičkou analogovou. Využít lze obvodů označovaných jako napěťově řízené operační zesilovače (VCA - Voltage Controlled Amplifier). Zmiňované řešení s číslicovou násobičkou je uvedeno na obrázku 2.11.



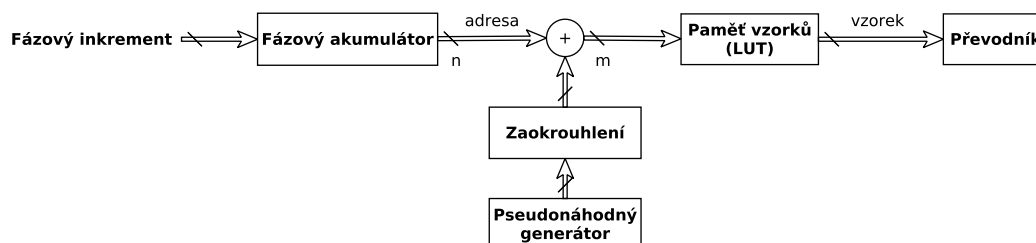
Obrázek 2.11: Amplitudová modulace

2.3 Problematika návrhu

2.3.1 Omezení rozsahu paměti vzorků

Pro dosažení vysokého frekvenčního rozlišení je vhodné volit dostatečnou bitovou šířku fázového akumulátoru. S tím se však ale váže rozsah adresy. Pro 32-bitový fázový akumulátor by kapacita paměti vzorků musela být 2^{32} slov, aby byla pokryta všemi kombinacemi adres. To odpovídá však čtyřem gigabajtům paměťové kapacity. Pro snížení potřebné kapacity lze adresu generovanou fázovým akumulátorem oříznout, respektive zaokrouhlit. To je možné pouhým vynecháním několika bitů z adresového vektoru. Vliv tohoto řešení je patrný především při generování nízkofrekvenčních signálů. Při nízkých frekvencích je nízká hodnota fázového inkrementu a tedy i úzký interval následně generovaných adres. Vlivem oříznutí několika bitů dojde k několikanásobnému vyčtení téhož vzorku na stejné adrese. Po uplynutí několika hodinových cyklů se adresa vzorku změní až po přetečení neoříznuté verze adresy do nejnižšího bitu adresy ořízlé. Snížení počtu bitů adresy se projeví fázovou chybou, která není konstantní a je závislá na rozdílech adresy před ořezem a po ořezu. Tato chyba je však periodická a projeví se ve spektru jako nežádoucí spektrální čáry[1]. Záleží však i na fázovém inkrementu. Vhodným zvolením fázového inkrementu je možné, že adresy generované fázovým akumulátorem budou mít vždy poslední bity nulové. Je-li počet těchto nulových bitů minimálně stejný jako počet ořezaných bitů, nedojde k fázové chybě. Při jistých hodnotách fázového inkrementu je však možné dosáhnout i maximální velikosti chyby.

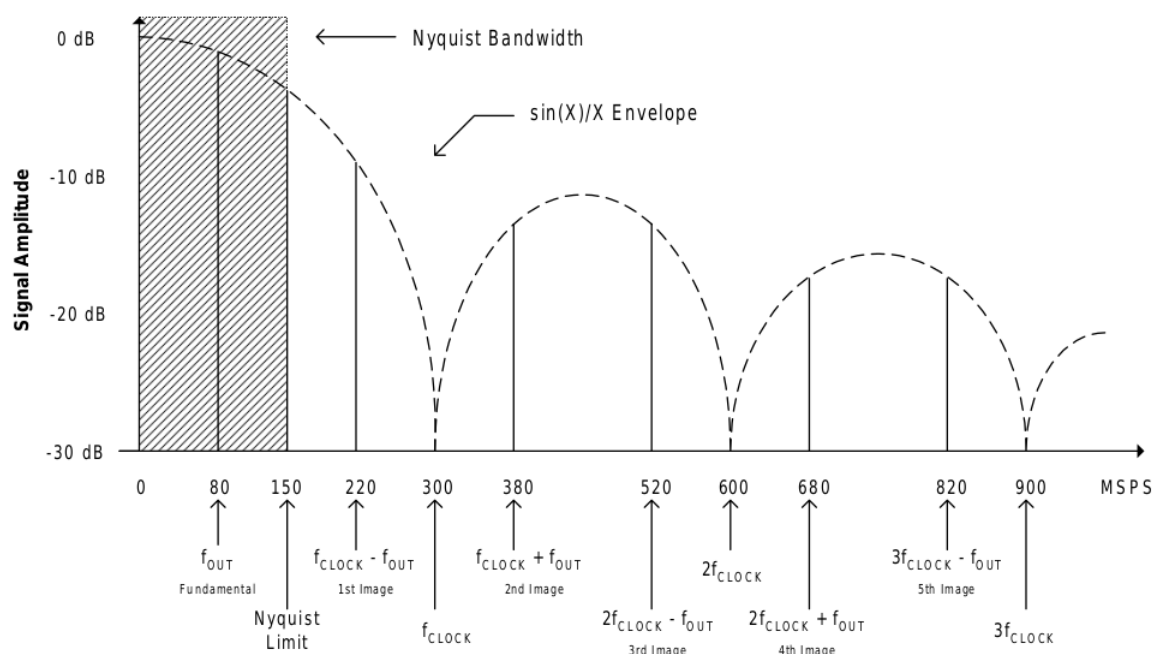
Vzhledem k periodičnosti opakování fázové chyby a s tím souvisejícími čarami ve spektru se nabízí možnost snížení amplitudy spektrální čáry zrušením periodičnosti. To lze dosáhnout generátorem pseudonáhodných čísel. Náhodné číslo je nejprve zaokrouhleno a bitově posunuto pro dosažení vhodného formátu a následně přičteno k adrese. Vlivem toho dojde ke zrušení periodičnosti a dojde k "rozplynutí" spektrální čáry, tedy snížení její amplitudy, avšak za cenu navýšení hladiny šumu. Řešení je patrné na obrázku 2.12 .



Obrázek 2.12: Zrušení periodičnosti fázové chyby

2.3.2 Spektrum generovaného signálu a jeho filtrace

Příklad spektra generovaného harmonického signálu o frekvenci $F_{out} = 80$ MHz je uvedeno na obrázku 2.13. .



Obrázek 2.13: Spektrum generovaného harmonického signálu [Převzato z [1]]

Z obrázku je patrný výskyt několika frekvenčních složek. První složka je dána frekvencí generovaného signálu. Další dílčí složky jsou tvořeny obrazy této frekvence vznikajícími okolo vzorkovací frekvence a jejích násobků. Obálka odpovídá funkci $\frac{\sin(x)}{x}$. Z obrázku taktéž plyne požadavek vhodné filtrace pro omezení nežádoucích frekvenčních složek.

Za účelem filtrace generovaného signálu se volí různé topologie a parametry filtrů dle typu generovaného signálu. Pro signály sinusového tvaru je zapotřebí vysoká spektrální čistota a aby vyšší frekvenční složky byly pokud možno minimální. Z tohoto důvodu se volí filtr typu Cauer, též známý jako eliptický filtr. Je charakteristický prudkým poklesem amplitudově-frekvenční charakteristiky a vyhovuje tak zmiňovaným požadavkům. Lze navrhnout s nízkým zvlněním v propustném pásu. Mezní frekvence se obvykle volí jako $\frac{1}{3}F_{clk}$. Maximální generovaná frekvence by tedy neměla přesáhnout tuto frekvenci.

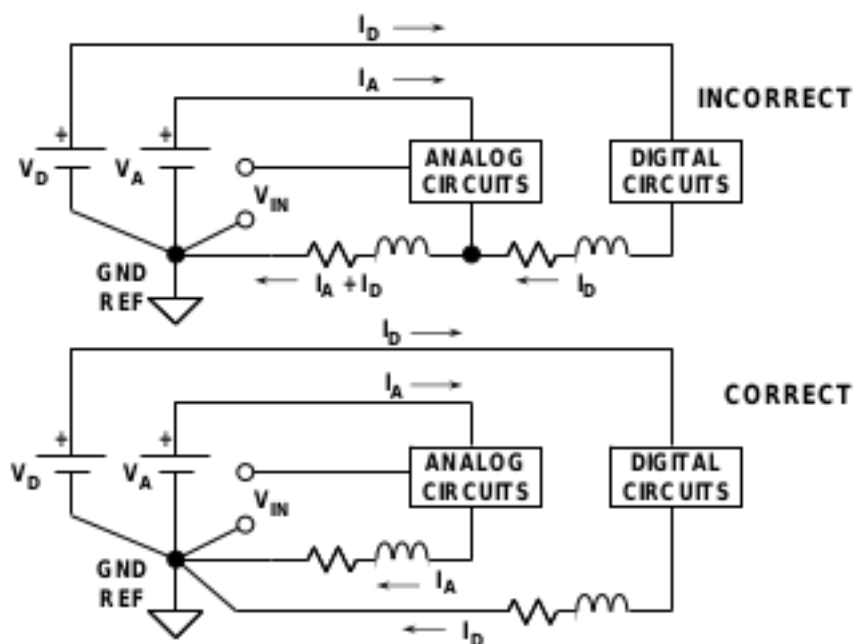
Pro libovolné tvary generovaných signálů (AWG) je eliptický filtr nevhodný. Při generování průběhů s s prudkými změnami amplitudy mohou signály v časové oblasti obsahovat překmitý, které jsou pro tento druh filtru typické. Vhodnějším filtrem je filtr typu Bessel. Mezní frekvence filtru se běžně volí jako $\frac{1}{4}F_{clk}$.

2.4 Problematika návrhu desky plošných spojů

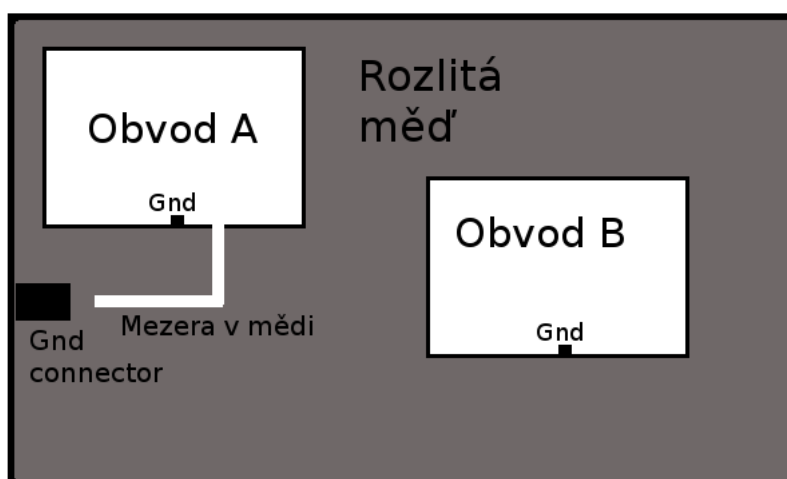
2.4.1 Rozvod zemních potenciálů

U obvodů s kombinací číslicových a analogových obvodů je jednou z priorit kvalitní rozvod zemních potenciálů. Číslicová zem a analogová zem se většinou vede oddělenými cestami spojenými jednobodově u napájecího regulátoru. Pro problematiku převodníků je však často volen jiný přístup. Téměř každý převodník obsahuje vývody označené jako digitální zem "DGND" a analogová zem "AGND". Tyto vývody je většinou vhodné propojit u čipu. U digitálně-analogových převodníků se vlivem ostrých hran číslicových signálů a kapacitních vazeb uvnitř čipu šíří pulsy způsobené těmito hranami na výstupní analogové vývody převodníku. Šíří se na výstup tím více, čím větší jsou rozdíly potenciálů analogové a číslicové země. Z toho důvodu je-li číslicová a analogová zem propojena u čipu, jsou rozdíly těchto potenciálů minimální a je taktéž minimalizován přenos těchto pulsů na výstup převodníku.

Desky plošných spojů se minimálně volí jako dvouvrstvé, kde jedna vrstva slouží především jako zemnicí plocha (realizovaná jako takzvaná "rozlitá měď") a druhá pro propojení signálovými cestami. Výskyt parazitních parametrů patrný z obrázku 2.14 by se neměl zanedbat zvláště při velkém odběru jednoho z obvodových prvků. Ideální je proto rozmístit analogové prvky obvodu ve stejné vzdálenosti od napájecího konektoru jako prvky digitální (tedy geometricky paralelně vedle sebe). Zařazením za sebe (tedy geometricky sériově) by se projevil parazitní parametry jako je indukčnost či rezistivita a docházelo by k ovlivňování zemních potenciálů každého obvodového celku okamžitým proudovým odběrem celkem druhým. Není-li však možno obvodové prvky řadit z geometrického hlediska uspořádání paralelně, lze problematiku vyřešit za pomoci vytvoření takzvaných izolačních příkopů ve struktuře rozlité mědi a zamezit odvodu zemních proudů mezi společná místa dvou obvodových celků (prvků). Myšlenka je uvedena na obrázku 2.15.



Obrázek 2.14: Parazitní parametry plošných spojů [Převzato z [6]]



Obrázek 2.15: Strukturování rozlité mědi

2.4.2 Stínění plošného spoje generátoru

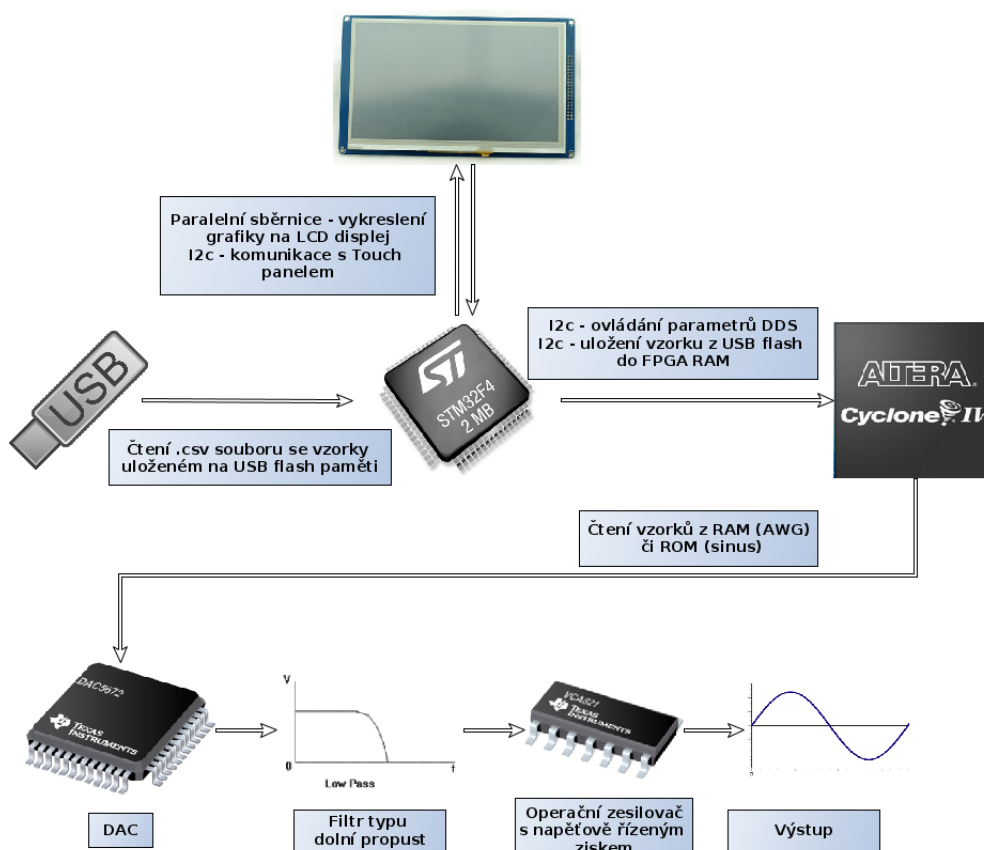
Číslicové obvodové prvky využity v návrhu jsou samozřejmě zdrojem rušení, jehož úroveň může být problémem pro spektrální čistotu generovaného signálu. Použitý převodník využívá diferenčních výstupů, které jsou svým principem proti souhlasnému rušení odolné. Diferenční výstup může být převeden na nediferenční například za pomoci operačního zesilovače. Souhlasné rušení je tak potlačeno v závislosti na parametrech operačního zesilovače. Prvky následující v signálové cestě (spolu s operačním zesilovačem) je vhodné odstínit od zbytku obvodových prvků, zejména v případě řešeného signálového generátoru od LCD displeje, mikrokontroléru a obvodu FPGA.

Kapitola 3

Konstrukční část

3.1 Popis řešení signálového generátoru

Zjednodušené blokové schéma signálového generátoru je ilustrováno následujícím obrázkem.



Obrázek 3.1: Blokové schéma generátoru

Samotný algoritmus přímé číslicové syntézy generátoru spolu s algoritmem generátoru AWG je provozován v obvodu FPGA EP4CE6E22 společnosti Altera. Zprostředkovává přísun vzorků do číslicově-analogového převodníku skrze paralelní sběrnici. Jako převodník byl zvolen integrovaný obvod DAC5672 společnosti Texas Instruments. Jedná se o 14-bitový převodník s maximální vzorkovací frekvencí 275Msps. Pro komunikaci a řízení parametrů generátoru slouží obvod FPGA zároveň jako I²C slave.

Dalším důležitým obvodovým prvkem je mikrokontrolér STM32F407, který je součástí vývojové desky STM32F4DISCOVERY. Jeho úlohou je obsluha grafického displeje, konkrétně zajištění vykreslení grafického rozhraní a obsluha dotykového panelu. Displej o velikosti 3,5" disponuje rozlišením 320x240 pixelů. Jedná se o komerčně dostupný modul určený pro připojení ke zmíněné vývojové desce skrze 16-ti vodičový konektor 8080. Komunikace s řadičem dotykového panelu probíhá prostřednictvím sběrnice I²C. Součástí dostupných knihoven jsou funkce pro inicializaci displeje a jednoduché grafické úkony, které jsou z části využity pro vlastní grafickou knihovnu. Řadičem je obvod SSD2119. Dále je prostřednictvím mikrokontroléru zajištěno čtení USB flash disku a přenos definovaných průběhů do paměti RAM obvodu FPGA. Pro umožnění přenosu musí paměťové médium disponovat oddílem FAT-16. Z důvodu využití dostupné "demo" aplikace umožňující čtení zvukových souborů ve formátu WAV z USB flash disku a jejího přizpůsobení autorem pro umožnění čtení CSV souborů není problematika této vývojové části dále rozebírána, jelikož se nejedná o ryze vlastní řešení. Pro komunikaci mikrokontrolér vystupuje jako I²C master. Mimo přenosu nadefinovaných průběhů z paměti USB flash disku dále zasílá příkazy a nastavuje parametry generátoru.

3.2 Grafická knihovna

3.2.1 Důvod volby grafického rozhraní

Vzhledem k téměř neomezené flexibilitě v ovladatelnosti konstruovaného generátoru za pomoci dotykového LCD displeje se ukázalo toto řešení vhodnou volbou. Další výraznou výhodou je velmi jednoduchá modifikace uživatelského rozhraní bez nutnosti zásahu do mechanické konstrukce generátoru. Na internetu je k dispozici velké množství komerčních či nekomerčních realizací grafických knihoven, které by se pro danou problematiku mohly využít. Z důvodu pochopení principů grafických knihoven a možnost si grafickou knihovnu přizpůsobit k potřebám autora byla vytvořena knihovna zcela nová.

Mimo základních funkčních elementů jako je například tlačítko či posuvník bylo nutné realizovat číselnou klávesnici, takzvaný "num pad", kterým se velmi pohodlně nastaví frekvence či jiné parametry, jako je amplituda, adresa počátku generovaného průběhu a tak dále. Pro jemné doladění nastavené frekvence je snad nejvíce vhodný posuvník s aretací na střed. Je-li jezdec ve střední poloze, frekvence se nemění. Čím dále se jezdec dotykem nastaví, tím rychleji (respektive po větších skocích) se parametr ovlivní. Po uvolnění dotyku se jezdec samovolně umístí na střed.

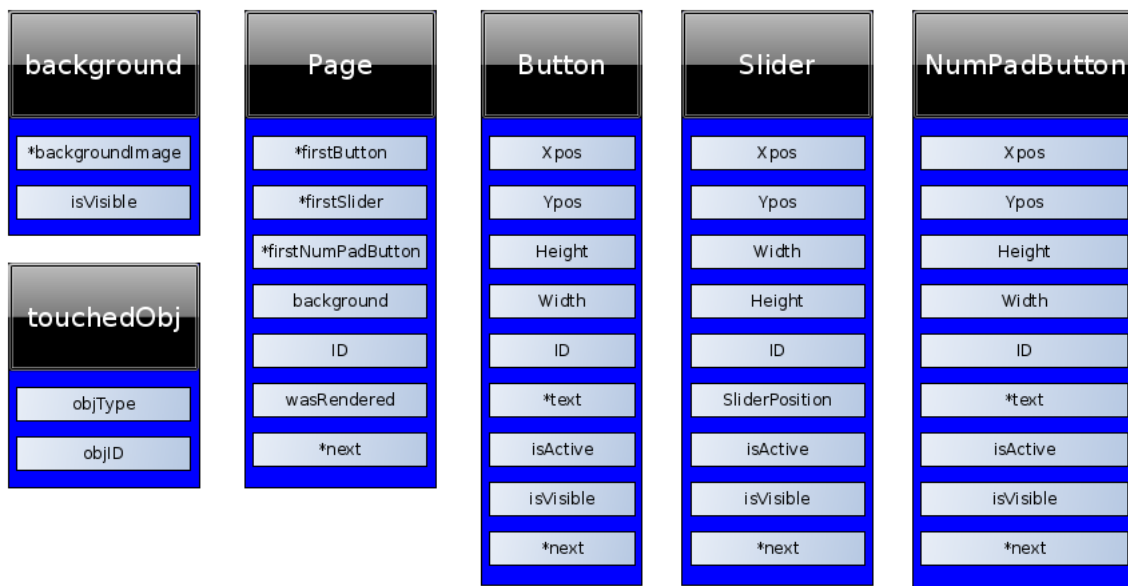
3.2.2 Popis řešení

Vyvinuté zdrojové soubory jsou uvedeny v tabulce 3.1. Jsou dohledatelné na přiloženém DVD v adresáři `diplomovaPrace_MiroslavSima/C/SignalGenerator/src` a hlavičkové soubory v `diplomovaPrace_MiroslavSima/C/SignalGenerator/include`.

Název	Popis
<code>eventHandlers.c</code>	Obslužné funkce ovládacích prvků
<code>eventHandlers.h</code>	Hlavičkový soubor pro <code>eventHandlers.c</code>
<code>gui.c</code>	Funkce grafické knihovny
<code>gui.h</code>	Hlavičkový soubor pro <code>gui.c</code>
<code>lcd_custom.c</code>	Základní funkce pro LCD displej
<code>main_SignalGen.c</code>	Rozložení grafických prvků
<code>signalGen.h</code>	Univerzální hlavičkový soubor
<code>touchHandlers.c</code>	Obslužné funkce pro dotykový displej
<code>/graphics/*.c</code>	Rastry grafických prvků

Tabulka 3.1: Vyvinuté zdrojové soubory

Knihovna intenzivně využívá spojových seznamů. Hierarchicky nejvýše je spojový seznam tvořen jednotlivými stránkami, zde uvedenými jako `PAGES`. Každá tato stránka ukazuje za pomoci ukazatelů na začátky spojových seznamů dílčích elementů, dále je v každé stránce nastaven ukazatel na pole rastru pozadí stránky. Datová struktura stránky dále obsahuje proměnnou obsahující ID stránky a proměnnou `wasRendered`. Vysvětlení této proměnné bude v následujícím textu. Používané datové struktury jsou na obrázku 3.2.



Obrázek 3.2: Datové struktury

Každá struktura grafických prvků obsahuje souřadnice, rozměry prvku a příznaky `isVisible` a `isActive`. Využití těchto příznaků lze popsat následovně. Vytvoří-li se stránka například s jedním tlačítkem, jehož stisknutím se zobrazí tlačítko další na téže stránce, tak po zavolání funkce `gui_renderPage(page* pnttr)` se spojový seznam `button` prohledá. Naleznou se dvě tlačítka s příznakem `isActive=1`. První již bylo vykresleno a tudíž jeho proměnná `isVisible` je nastavena. Proměnná `isActive` druhého tlačítka byla nastavena událostí vyvolanou stisknutím prvního tlačítka a je tedy taktéž nastavena. Jelikož je první tlačítko již vykresleno, vykreslí se pouze tlačítko druhé, které do okamžiku vykreslení mělo proměnnou `isVisible=0`. Při velkém množství elementů se tak radikálně sníží počet instrukcí, které jsou vlastně zbytečné, jelikož většina prvků může být aktuálně vykreslena.

Při překreslení aktuální stránky stránkou jinou s jinými grafickými prvky nenastává problém, jelikož všechny prvky další mají implicitně nastavenou proměnnou `isVisible=0`. Všechny prvky s proměnnou `isActive` se tedy vykreslí. Bylo však nutné vyřešit situaci, kdy se nově vykreslená stránka bude nahrazovat stránkou, která byla v minulosti vykreslena. Jelikož již byla vykreslena, její prvky mají proměnnou `isVisible` nastavenou a tyto prvky by byly vynechány renderovacím algoritmem. Proto u stránky slouží proměnné

`wasRendered`. Je-li stránka opětovně vykreslena a `wasRendered` proměnná tedy nastavena, algoritmus vynuluje proměnné `isVisible` všech prvků stránky a je vynucené tedy jejich opětovné vykreslení.

Princip grafického prvku tlačítka je jednoduchý. Záznam tlačítka je do spojového seznamu tlačítek určité stránky předané argumentem přidán zavoláním následující funkce.

```
int gui_insertButton(page* page_pntr, uint16_t Xpos, uint16_t Ypos, uint16_t Width, uint16_t Height,
uint16_t ID, char* text, uint16_t isActive)
```

Při volání funkce `gui_renderPage(page* pntr)` se nevykreslená aktivní tlačítka stránky předané argumentem vykreslí na souřadnicích `Xpos` a `Ypos`. Šířka `Width` a výška `Height` musí korespondovat s rastrovou grafikou definovanou pomocí pole. Poté dochází k vykreslení pixel po pixelu. Obdobné řešení je realizováno u grafického prvku `NumPadButton`. Po detekci doteku na dotykovém displeji jsou prohledány všechny vykreslené ovládací prvky. Funkcí

```
touchedObj gui_getTouchedObj(page* page_pntr, uint16_t xPosTouched, uint16_t yPosTouched)
```

je zjištěn typ dotykem aktivovaného prvku a dále jeho identifikátor. Bylo-li například stisknuto tlačítko, je po uvolnění zavolána funkce `gui_buttonEventHandler(touchedObj_var)`, která vyvolává patřičné uživatelem implementované příkazy na základě již zmíněného identifikátoru. Pro potřeby generátoru slouží tlačítka především pro přechod mezi jednotlivými stránkami.

Pro dosažení obdobných efektů známých například z moderní elektroniky s dotykovými displeji je po stisku obou typů tlačítek jejich pozadí překresleno na oranžovou barvu. Obslužná akce dotyku je vykonána až po uvolnění tlačítka, kdy se opětovně překreslí grafikou tlačítka v uvolněném stavu. Vyvolání obsluhy až po uvolnění je potřebné například u číselné klávesnice, kde by jinak při dotyku došlo k několikanásobnému vykonání obslužné funkce a tedy k několikanásobnému zadání numerické hodnoty.

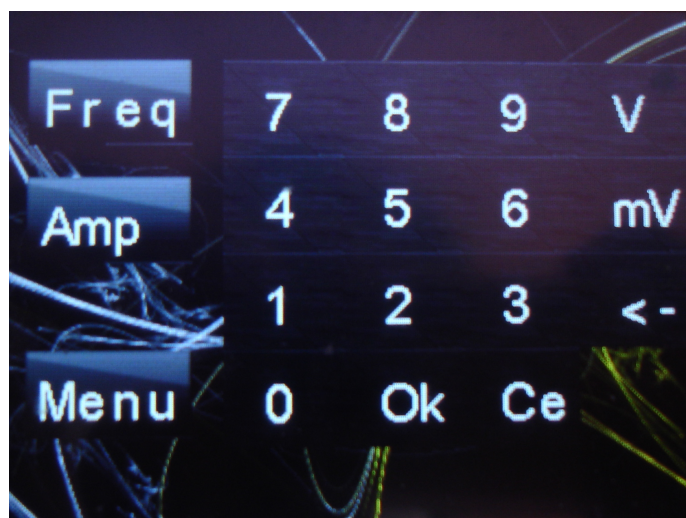
Obdobný princip využívá numerická klávesnice. V programu se přidává záznam nové numerické klávesnice přes spojový seznam aktuální stránky do spojového seznamu numerických klávesnic skrze následující funkci.

```
void gui_insertNumPad(page* page_pntr, uint16_t Xpos, uint16_t Ypos, uint8_t numPadVariant, uint16_t
ID, uint16_t isActive)
```

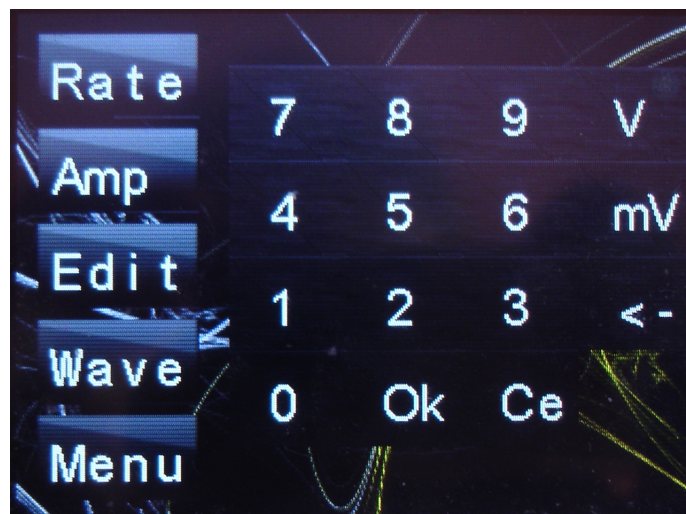
Prostřednictvím uvedené funkce je do spojového seznamu numerických klávesnic přidána sada tlačítek, která je z hlediska rozmístění, identifikátorů a textových popisků závislá na argumentu `numPadVariant`. Jednotlivá tlačítka numerické klávesnice sdílí stejné rozměry a grafiku. Liší se pozicí, která je vhodně volena pro dosažení vzhledu numerické klávesnice.

Obslužná funkce posuvných ovládacích prvků však reaguje ihned s dotykem. Je vyvolána za předpokladu detekce dotyku v prostoru grafického prvku. Jezdec posuvníku se automaticky vykresluje na pozici dotyku a po uvolnění dotyku se v případě posuvníku s aretací vykreslí doprostřed dráhy.

Ukázka grafického rozhraní je na obrázku 3.3 pro nastavení parametrů signálu sinus a na obrázku 3.4 pro nastavení parametrů pro uživatelem definované průběhy. V posledním jmenovaném obrázku tlačítko *Edit* slouží ke zmíněné segmentaci průběhů. Tlačítko *Wave* pro výběr tvarového signálu z paměti RAM či z paměti USB flash disku.



Obrázek 3.3: Obrazovka pro volbu parametrů průběhu sinus

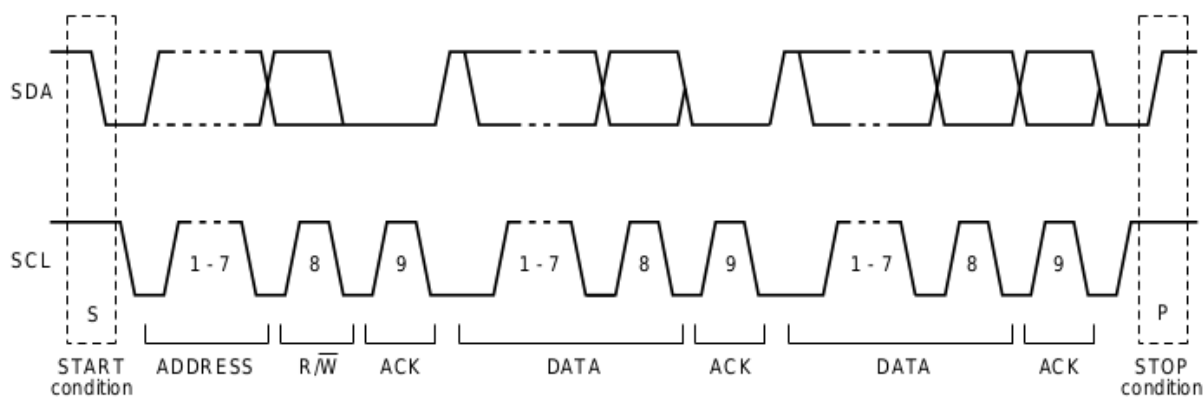


Obrázek 3.4: Obrazovka pro volbu parametrů uživatelem definovaného průběhu

3.3 I²C pro potřeby signálového generátoru

3.3.1 Popis a zdůvodnění výběru

Komunikační sběrnice I²C je masivně využívaným standartem v komunikaci s různorodými elektronickými obvodovými prvky. Stala se základem a inspirací pro množství odvozených řídicích komunikačních systémů, jako je například System Management Bus (SMBus), Power Management Bus (PMBus), Intelligent Platform Management Interface (IPMI), Display Data Channel (DDC) a Advanced Telecom Computing Architecture (ATCA). Využívá dva vodiče značené jako SDA pro vodič sériových dat a SCLK pro vodič sériových hodin. Oba dva vodiče mají za pomoci pullup rezistorů definován klidový stav. Využívá budiče na bázi otevřeného kolektoru. Dominantním stavem je tedy stav nižšího napětí ($-0.5V$ až $0.3 \cdot V_{DD}$). Recesivním stavem je stav klidového napětí ($0.7 \cdot V_{DD}$ až $V_{DD} + 0.5V$). Mezi nejpoužívanější rychlosti lze považovat standart-mode (100kbit/s) a fast-mode (400kbit/s). Existují však i možnosti vyšších rychlostí. Příkladem je například ultra-fast mode (5Mbit/s), jenž lze však provozovat pouze s jednosměrnou komunikací a není tedy kompatibilní s pomalejšími, pro obousměrnou komunikaci používanými módy. Je nutno však respektovat nejpomalejší zařízení a jemu přizpůsobovat komunikační rychlost. Základní komunikační rámec je ilustrován obrázkem 3.5.



Obrázek 3.5: Základní rámec I²C [Převzato z [5]]

Začátek rámce je uveden takzvanou "START podmínkou", která je signalizována poklesem napětí na vodiči SDA, tedy dominantním stavem, v okamžiku udržovaného klidového napětí na vodiči SCLK. Následuje adresa zařízení. Nejpoužívanější je sedmibitová adresa, existuje však rozšíření specifikace umožňující desetibitové adresové pole. Poté je odvysílán bit signalizující, zda je očekáván zápis či čtení. Dále je nutno potvrdit přítomnost adresovaného zařízení na sběrnici příznakem "acknowledge", tedy uvedením vodiče SDA do stavu logické "0". Vysílací stanice se tímto okamžikem mění na stanici přijímací a naopak. Po přihlášení adresovaného zařízení následuje odvysílání libovolného počtu datových bytů. S odvysíláním každého bytu je nutno opakovat potvrzení přijetí

dat přijímací stanicí. Po ukončení přenosu všech dat je komunikační cyklus ukončen takzvanou "STOP podmínkou", tedy uvedením vodiče SDA do klidového recesivního stavu v okamžiku klidového stavu na vodiči SCLK. Lze však využít opakovaného odvysílání START podmínky, kdy se cyklus opakuje od začátku s novou adresou a daty. Adresa zpravidla slouží pro výběr obvodu a první byte dat pro adresaci registru obvodu, se kterým bude patřičná operace zápisu či čtení prováděna. Pro vlastní obvodovou realizaci jsou možnosti I²C výhodou a splňují potřeby obsluhy. Výhodou je i možnost přenosu libovolného počtu bytů dat, kterou lze využít pro přenos vzorků uživatelem definovaných signálových průběhů do RAM paměti obvodu FPGA.

3.3.2 Registrová sada signálového generátoru

Registrová sada signálového generátoru je zobrazena tabulkou 3.2. Jedná se o signály entity signálového generátoru nastavující klíčové parametry. Všechny uvedené položky jsou přístupné skrze I²C sběrnici.

Adresa	Parametr	Bitů	Popis
0x01	Phase increment	32	Nastavení fázového inkrementu
0x02	Phase mod	13	Nastavení fázového skoku
0x0A	Algorithm switch	1	Přepnutí mezi DDS a AWG
0x0B	NumToCount	14	AWG - Interval mezi vzorky v T_{clk}
0x0C	StartReadAddr	10	AWG - Adresa vzorku začátku průběhu
0x0D	StopReadAddr	10	AWG - Adresa vzorku konce průběhu
0x0E	AWG_sineToRamWave_switch	1	AWG - Výběr paměti vzorků

Tabulka 3.2: Registrová sada generátoru

3.3.3 Programování I²C řadiče pro obvod FPGA

Vyvinuté VHDL soubory pro umožnění komunikace obvodu FPGA skrze sběrnici I²C jsou uvedeny v tabulce 3.3. Jsou dohledatelné na přiloženém DVD v adresáři `diplomovaPrace_MiroslavSima/VHDL`.

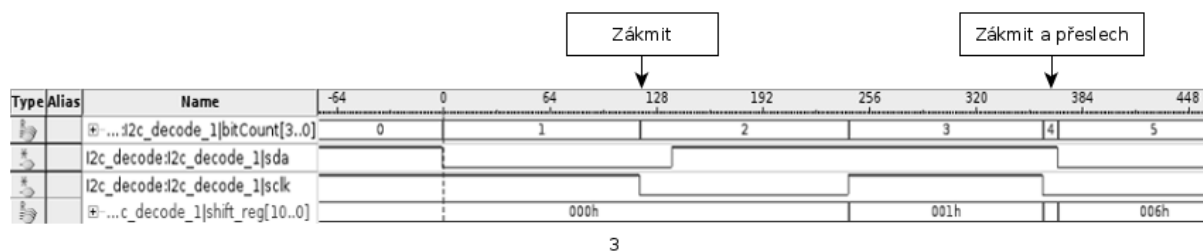
Při programování I²C řadiče bylo nutné vyřešit problematiku filtrace zákmitů na doběžných hranách signálů na vodičích SDA a SCLK. Náběžné hrany nejsou problematické. Vodiče se po uzavření budícího tranzistoru "nabíjí" s omezenou strmostí, která je dána především velikostí pullup rezistorů a kapacitou vodičů sběrnice. Při přechodu do dominantního stavu je strmost přechodu vzhledem k využití principu otevřeného kolektoru velmi vysoká a mohou tak vzniknout zákmity, které mohou být vyhodnoceny jako

Název	Popis
I2c_filter.vhd	Filtrace signálů vodičů SDA a SCLK
I2c.vhd	Řadič komunikace I ² C
I2c_to_RAM_signalGen_v2	Zajištění přenosu průběhů do RAM skrze I ² C
SignalGen.vhd	Překlad I ² C zpráv do signálů entity
signalGen.c	Klíčové funkce pro mikrokontrolér

Tabulka 3.3: Využité zdrojové kódy

příchod další náběžné hrany.

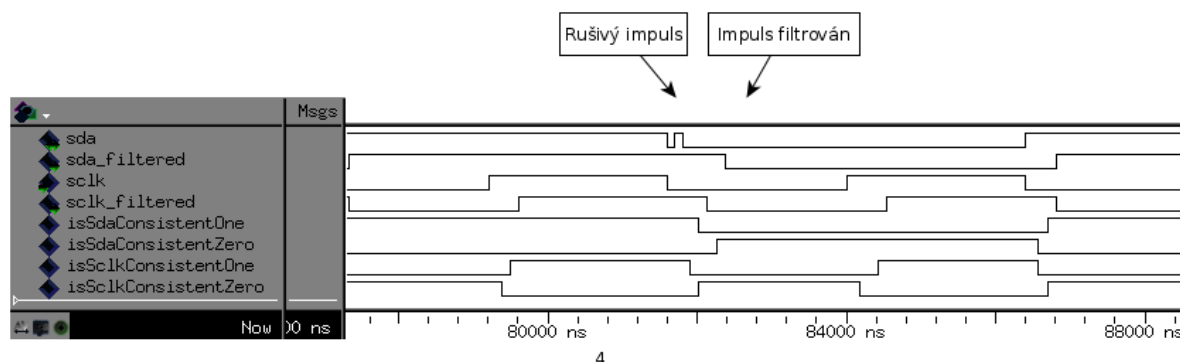
I přes správný výsledek simulace v programu Modelsim či jiné alternativě samozřejmě nelze určit správnou činnost obvodu ve skutečném nasazení. Nejjednodušší možností odhalení problematické činnosti je využití doplňku SignalTap Logic Analyzer aplikace Quartus. Důsledek je možné zpozorovat na obrázku 3.6, kde čítač bitů `bitCount` má být inkrementován každou náběžnou hranou signálu vodiče SCLK. V Okamžiku doběžné hrany signálu vodiče SCLK je však hodnota čítače též inkrementována, což nasvědčuje popsanému problému.



Obrázek 3.6: Detekce falešných hran I²C

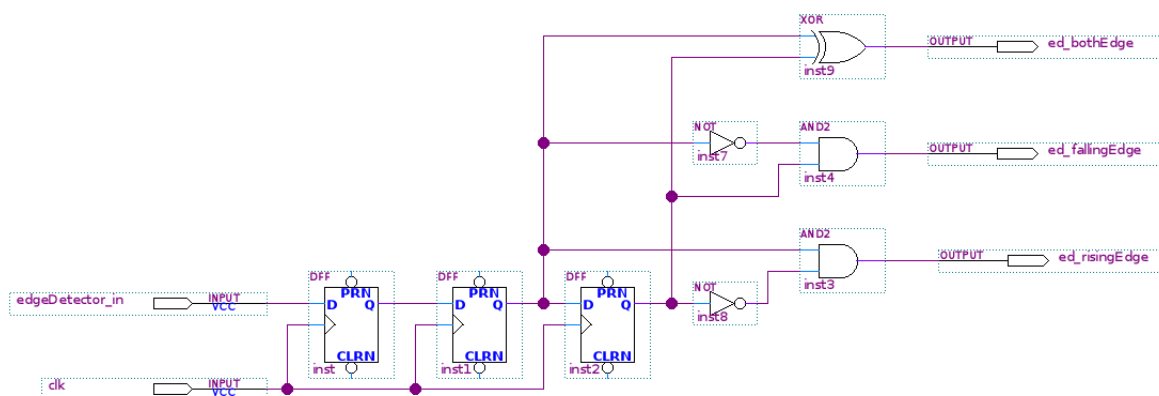
Existuje mnoho způsobů řešení. Vzhledem k využití obvodu FPGA je nejjednodušší možností aktivace Schmittova klopného obvodu na vstupních pinech obou vodičů obvodu FPGA. Tuto možnost obsahuje pouze několik obvodů FPGA společnosti Altera. Využitý obvod EP4CE6E22C8 je příkladem, který danou možnost nedisponuje. Dále se nabízí řešení s využitím analogové filtrace či filtrace číslicové. Pro analogovou filtraci se většinou využívá feritových perel, jenž pro vysoké frekvence či strmé hrany tvoří vysokou impedanci. Po vzoru číslicových řadičů sběrnice I²C integrovaných u mikrokontrolérů, které obsahují současně digitální filtry, byla navržena číslicová filtrace i pro obvod FPGA. Lze využít doplňků pro návrh číslicových filtrů s přesnými parametry, v daném případě však postačovala jednoduchá filtrace, kdy je průběžně vzorkován signál na obou vodičích. Při změně stavu na vodičích se tato změna projeví na výstupech filtru, jsou-li navzorkované binární hodnoty v určitém časovém intervalu stejné hodnoty. Zákmit tuto podmínku poruší a není tedy výstupem z číslicového filtru přenesen. Vzniklá entita tedy obsahuje vstup hodinového kmitočtu a vstupy signálů vodičů SDA a SCLK. Výstupem jsou signály

SDA_filtered a SCLK_filtered, které slouží již pro VHDL entitu řadiče I²C komunikace. Obrázek 3.7 demonstruje funkčnost uvedeného principu.



Obrázek 3.7: Filtrace signálů I²C

Vlastní algoritmus pro dekodování komunikace I²C je následující. Hranovým detektorem je synchronizován signál sclk_filtered a sda_filtered s hodinovými impulsy. Hranový detektor je realizován schématem uvedeným na obrázku 3.8. Při analýze je

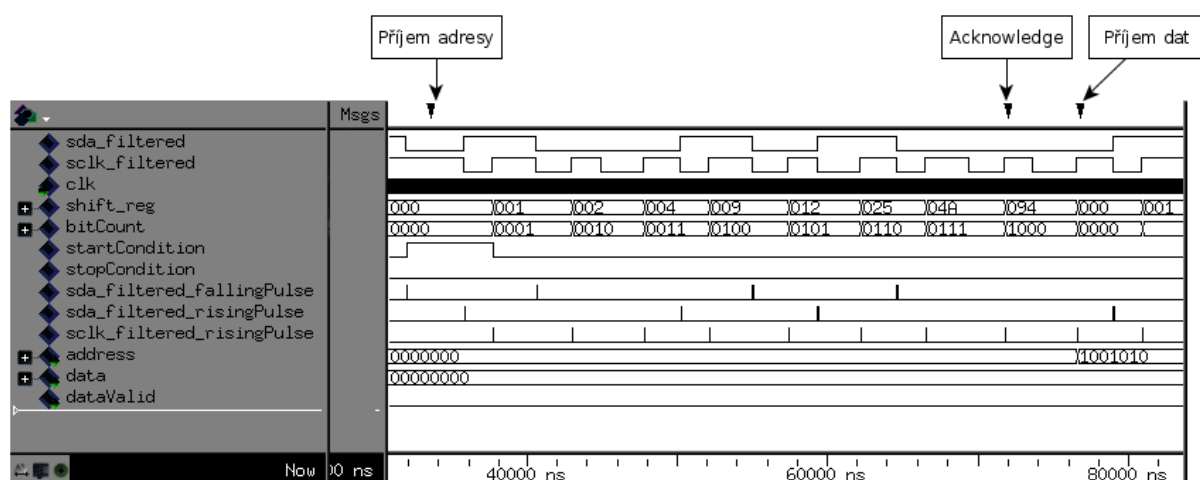


Obrázek 3.8: Hranový detektor

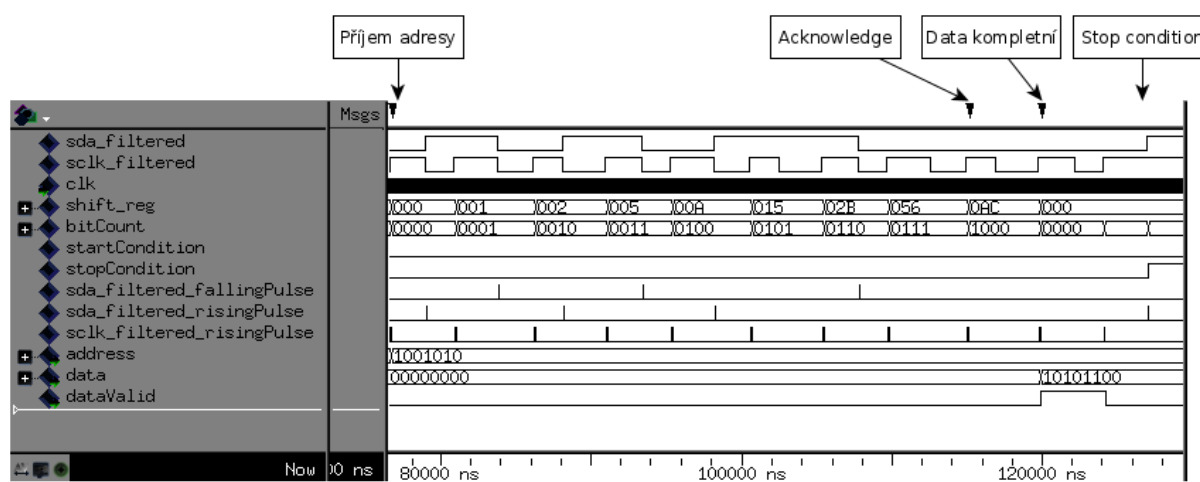
ze schématu vytvořen nejprve VHDL kód, který je následnou kompilací přeložen. Při změně hrany vstupního signálu je vytvořen impuls omezené šířky na výstupním portu hranového detektoru dle směru hrany. Synchronizace signálů s hodinovým kmitočtem je pro obvody FPGA kritická a ušetří se tím spousta možných problémů. Vlastní VHDL proces entity reaguje na náběžnou hranu hodin 25 MHz. Je-li detekována doběžná hrana signálu sda_filtered při současném stavu signálu sclk_filtered v logické "1", je detekována START podmínka a nastaven signál StartCondition. Zároveň je nastaven signál AddressReceive. Očekává se tedy příjem adresy. Následně je každou náběžnou hranou signálu sclk_filtered vzorkován stav signálu sda_filtered a vzorky načítány do posuvného registru. Po navzorkování osmi bitů je vodič SDA uveden do logické "0" za předpokladu, je-li zaslaná adresa shodná s adresou nastavenou v entitě řadiče jako vlastní.

Tím dojde k potvrzení přítomnosti adresovaného zařízení (entity v obvodu FPGA s I²C rozhraním) příznakem ACK, takzvaným "acknowledge". Z toho vyplývá nutnost nastavení pinu SDA na obousměrný režim. Po přenesení adresy se nastaví signál dataReceiveReady - očekává se příjem dat. Princip je obdobný příjmu adresy. Po každých osmi bitech se vodič sda uvádí do logické "0" pro "acknowledge". Současně se pro potřebu vyšších entit využívajících komunikaci I²C nastavuje signál dataValid. Ukončovací STOP podmínka je detekována, je-li detekována náběžná hrana signálu sda_filtered v okamžiku, kdy je signál sclk_filtered v logické "1".

Výsledek simulace je uveden na obrázku 3.9 pro adresovou část zprávy a na obrázku 3.10 pro datovou část zprávy.



Obrázek 3.9: Adresová část přijaté zprávy I²C



Obrázek 3.10: Datová část přijaté zprávy I²C

3.3.4 Přenos vícebytových parametrů

Pro nastavování parametrů generátoru je potřeba umožnit zasílání vícebytových zpráv. Příkladem je například stěžejní hodnota fázového inkrementu, jejíž bitová šířka je 32 bitů. Výstupem popsaného řadiče jsou osmibitová data a signál `dataValid`. Nadřazená entita se stará o kompletaci dat do patřičně širokého slova. Využívá se signálu `byteIndex`, který se s každým příchodem potvrzení platnosti dat `dataValid` za předpokladu udržované korektní adresy inkrementuje. Po kompletaci 32 bitů slova se nastaví signál `transmitComplete`. Kompletovaná data se poté zkopírují do registru fázového inkrementu. Obdobný princip využívá nastavování jiných parametrů, liší se však adresou a případně hodnotou `byteCount`, při které je kompletace dat ukončena.

3.3.5 Přenos průběhů do paměti RAM obvodu FPGA

Při implementaci možnosti generátoru generovat uživatelem definované průběhy bylo vhodné realizovat řešení přenosu vzorků z mikrokontroléru do obvodu FPGA. Využívá se samostatné entity. Adresa zápisu paměti RAM vytvořené doplňkem programu Quartus je s příchodem dvojice bytů inkrementována. Paměťové slovo je o šířce 14 bitů (odpovídá rozlišení převodníku). Kapacita paměti byla zvolena z důvodu omezených prostředků na 1024 slov. Jedno slovo se skládá z dvojice bytů datového obsahu zpráv I²C, kde dva bity jsou vynechány a využity pro základní příkazy. Využívá se podobného principu jako při přenosu vícebytových parametrů. Prvním příkazem je vynulování adresového čítače a zahájení postupného zapisování do paměti RAM. Jedná se o první zprávu, která je při zahájení přesunu dat z mikrokontroléru do obvodu FPGA zaslána. Druhý příkaz je spíše informační - určuje ukončení přenosu dat. Není však pro funkčnost nezbytný.

3.4 Programové řešení signálového generátoru

3.4.1 Řešení číslicového syntezátoru

Během vývoje programu pro obvod FPGA se vycházelo z blokových schémat uvedených v kapitole 2.1.2. Vyvinuté zdrojové kódy jsou uvedeny v tabulce 3.4.

Název	Popis
SignalGen.vhd	Propojení komponent
DDSmodule.vhd	Entita číslicového syntezátoru I ² C

Tabulka 3.4: Vyvinuté zdrojové kódy

Samotný kód číslicového syntezátoru je velmi jednoduchý. Klíčový je fázový akumulátor, jenž akumuluje fázový inkrement a je vlastně základem syntezátoru. Jeho bitová šířka udává frekvenční rozlišení generátoru a tedy minimální interval mezi dvěma sousedícími frekvencemi, které lze generovat. Tím pádem na ní závisí současně i velikost frekvenční chyby. Asi nejpoužívanější bitová šířka je 32 bitů. Tato hodnota byla zvolena z důvodů naprosto dostačujících z ní vyplývajících parametrů. Frekvenční rozlišení při hodinovém kmitočtu 230 Mhz je poté 0.0535 Hz. Hodinový kmitočet je omezen maximální vzorkovací frekvencí převodníku a schopnostmi FPGA obvodu. I přes dostatečně vysoký možný hodinový kmitočet obvodu FPGA je rychlost omezena možnostmi výstupních bran, kvalitou napsaného kódu a využitými prostředky (například bloky paměti). Omezujícím faktorem se projevila vnitřní paměť ROM, jejíž maximální frekvence vyčítání dat byla určena programem Quartus na 234 Mhz. V programu je na výstupu fázového akumulátoru připraven blok sčítačky umožňující realizovat fázový skok. Této možnosti lze využít například při potřebě fázové modulace. Za sčítačkou následuje blok fázového kvantizéru. Zkracuje bitovou šířku vektoru akumulovaného inkrementu na bitovou šířku adresy paměti vzorků signálu. Z důvodu omezených prostředků paměti byla zvolena kapacita paměti pro vzorky signálu na 2^{13} 14-ti bitových slov. Obsah paměti je inicializován při konfiguraci obvodu FPGA. V programu Quartus je tedy nastaven inicializační soubor paměti. Vzorky signálu byly spočítány programem GNU Octave. Možnost změny parametrů využívá principů uvedených v kapitole 3.3. Po zadání parametrů skrze dotykový displej je nutné některé hodnoty přepočítat. Po zadání frekvence uživatelem se hodnota přepočítá dle rovnice 3.1 na fázový inkrement.

$$Inkrement = \frac{F_o \cdot 2^{32}}{230 \cdot 10^6} \quad [-] \quad (3.1)$$

Využité prostředky obvodu FPGA jsou pro zajímavost uvedeny v obrázku 3.11.

Flow Summary	
Flow Status	Successful - Tue May 5 22:40:05 2015
Quartus II 64-Bit Version	14.0.0 Build 200 06/17/2014 SJ Web Edition
Revision Name	DDS_v2
Top-level Entity Name	SignalGen
Family	Cyclone IV E
Device	EP4CE6E22C6
Timing Models	Final
Total logic elements	2,283 / 6,272 (36 %)
Total combinational functions	1,582 / 6,272 (25 %)
Dedicated logic registers	1,720 / 6,272 (27 %)
Total registers	1720
Total pins	20 / 92 (22 %)
Total virtual pins	0
Total memory bits	146,240 / 276,480 (53 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	1 / 2 (50 %)

Obrázek 3.11: Přehled využitých prostředků

3.4.2 Nastavení výstupní amplitudy

Výstupní část obvodové realizace obsahuje operační zesilovač s napěťově řízeným ziskem. Pro nastavení zisku bylo využito číslicově-analogového převodníku integrovaného na mikrokontroléru. Napěťové zesílení použitého obvodu LMH6503 je uvedeno v rovnici 3.2

$$A_U = \frac{R_F}{R_G} \cdot 1.72 \cdot \frac{V_G + 1}{2} \quad [-] \quad (3.2)$$

Napětí V_G je potřeba měnit v rozsahu -1V až 1V. Unipolární kladné napětí převodníku je tedy nutné "posunout" níže tak, aby jeho rozsah umožňoval pokrýt celý interval řídicího napětí zesilovače. To je možné buď s využitím sumáčního zesilovače či v návrhu použitého odporového děliče s využitím záporného napětí -5V. Z toho však též vyplývá nutnost přepočtu napětí požadovaného v místě řídicího pinu V_G , které je samozřejmě dáno velikostmi odporů děliče a výstupním napětím převodníku. Uživatel zadává rozkmit výstupního signálu v milivoltech.

3.4.3 Řešení generátoru typu AWG

Vyvinuté zdrojové kódy jsou uvedeny v tabulce 3.5.

Název	Popis
SignalGen.vhd	Propojení komponent
awg.vhd	Entita generátoru s proměnnou vzorkovací frekvencí

Tabulka 3.5: Vyvinuté zdrojové kódy

Generátor s proměnnou vzorkovací frekvencí lze v obvodu FPGA vyvinout s využitím

čítačů. Nejprve je nastavena adresa vzorku, od které bude průběh generován a adresa konečného vzorku. Umožňuje to zmíněnou segmentaci průběhů a tedy generování definovaných úseků signálových průběhů. Adresa vyčítaného vzorku je dána součtem adresového offsetu `addrToReadOffset` s adresou vzorku udávajícího začátek průběhu. Výstupem čítače je signál `CountedNum`. V okamžiku shody hodnoty `CountedNum` s nastavenou hodnotou signálu `numToCount` je vyčten vzorek z paměti, signál `addrToReadOffset` je inkrementován a signál `CountedNum` nulován. V okamžiku, kdy by již adresa vyčítaného vzorku překročila adresu konečného vzorku se signál `addrToReadOffset` nuluje. Proces se poté opakuje. Je možné číst vzorky z paměti ROM, která může být inicializována vzorky libovolného průběhu či z paměti RAM, do které jsou vzorky zapsány až po připojení usb flash disku s nahraným souborem `samples.csv`.

3.5 Návrh desky plošných spojů

3.5.1 Napájecí zdroj

Napájecí část byla navržena jako oddělitelný modul. Toto řešení usnadňuje případnou modifikaci bez potřeby změny ostatních částí signálového generátoru. Její schéma je uvedeno v příloze A.3. Přívod napájení je realizován za pomoci střídavého adaptéru s výstupem 9 VAC. Vhodným způsobem je střídavé napětí usměrněno tak, aby se získalo stejnosměrné symetrické napětí. Po filtraci je za pomoci regulátorů získáno symetrické napětí 5 V a -5 V. Vzhledem k využití kladné větve pro napájení modulu s FPGA obvodem, mikrokontroléru, LCD displeje a operačních zesilovačů byla potřeba regulátoru s maximálním výstupním proudem 1 A. Dále bylo nutné regulátor opatřit chladičem. Záporná větev slouží pouze pro napájení operačních zesilovačů. Další napájecí větví je větev o napětí 3.3 V pro napájení analogové a digitální části číslicově-analogového převodníku.

U obvodů napájecích číslicové a analogové součástky bylo zapotřebí zajištění vhodného oddělení. Větve napětí 5 V a 3.3 V jsou jednobodově rozděleny na větve pro napájení analogových a číslicových obvodů. Analogové napájecí větve jsou vedeny skrze indukčnost (feritové perly), které jsou na obou vývodech opatřeny kondenzátory. To brání průniku rušení a zajištění napětí bez zvlnění. Číslicové napájecí větve jsou naopak přímé a je nutno zajistit dostatečné blokování číslicových obvodů pro pokrytí impulsních proudových odběrů.

Vzhledem k modulární konstrukci zdroje byl zvolen 18-ti pinový konektor k zajištění kontaktu s vlastní deskou generátoru. Pro propojení jednotlivých napájecích větví vždy slouží dvojice pinů. Pro zajištění kvalitního nízko-impedančního spojení zemních ploch bylo využito osmi pinů.

3.5.2 Číslicová část signálového generátoru

Schéma zapojení konektorů a převodníku je uvedeno v příloze A.1. Schéma výstupní části generátoru dále v příloze A.2. Modul s obvodem FPGA je připojen ze spodní strany desky signálového generátoru skrze 22-pinový konektor. Mezi modulem a deskou je umístěn stínící plech. Napájení je vedeno krátkou cestou od pinů napájení.

Podstatnou část signálů tvoří paralelní datová sběrnice pro převodník. Každý vodič je terminován sériovým odporem $22\ \Omega$ a dále propojen skrze prokovku se spodní vrstvou plošného spoje, kde jsou připraveny plošky pro případné další přídatné terminátory. Vzhledem k vysoké vzorkovací frekvenci se další terminátory ukázaly jako nadbytečné - sériové terminátory spolu s rozprostřenými parametry paralelní sběrnice a kapacitou

vstupů převodníku dostatečně potlačovaly zákmity a ostré hrany. Dále je přes konektor realizováno propojení hodinového signálu převodníku, signály I²C sběrnice a reset. Mezi datovou sběrnicí a analogovou částí je na spodní vrstvě desky plošných spojů vložen izolační příkop v rozlité mědi. Tím se omezí přítomnost rušení způsobeného vlivem ostrých hran signálů, které se v případě využití kapacitních terminátorů přenášejí do zemní plochy.

I²C sběrnice je následně vedena skrze další konektor do mikrokontroléru spolu s resetovacím signálem obvodu FPGA. Dále jsou mikrokontrolérem ovládány analogové spínače vybírající filtry dle algoritmu generování signálů.

3.5.3 Analogová část signálového generátoru

Proudový výstup převodníku je převeden na napětí na rezistorech 25Ω . Následuje operační zesilovač s napěťovým ziskem $A_U = 2$ převádějící diferenční napětí na napětí referencované k zemnímu potenciálu. Výstup je veden skrze sériový rezistor 50Ω pro impedanční přizpůsobení do analogového přepínače (typ SPDT - Single Pole, Double Throw). Dle stavu přepínače je signál směřován do eliptického filtru 7. řádu typu dolní propust pro signál sinus či do filtru typu Bessel pro ostatní signálové průběhy. Mezní frekvence byly voleny 70 MHz. Následuje další analogový přepínač. Zamezí se tím vzájemnému ovlivňování obou filtrů. Pro řízení napěťového zisku byl využit operační zesilovač s napěťově řízeným ziskem. Poslední, výstupní operační zesilovač, je operační zesilovač s vysokou proudovou zatížitelností. Za ním následuje další filtr 2. řádu typu dolní propust. Vzhledem k umístění za posledním operačním zesilovačem umožňuje filtraci nežádoucích frekvencí pronikajících do výstupu, například skrze napájení operačních zesilovačů.

3.6 Dosažené parametry

Parametry realizovaného funkčního vzorku signálového generátoru byly změřeny spektrálním analyzátozem. Z důvodu špatně zvoleného analogového přepínače byly naměřené hodnoty získány s přemostěním přepínačů filtrů. Klíčové hodnoty parametru SFDR (Spurious-Free Dynamic Range) jsou uvedeny v tabulce 3.6.

Frekvence	SFDR
100 kHz	-62 dBc (3. harmonická)
1 MHz	-60 dBc (3. harmonická)
10 MHz	-45 dBc (3. harmonická)
20 MHz	-41 dBc (3. harmonická)

Tabulka 3.6: Parametry SFDR signálového generátoru

V okolí základní harmonické o frekvenci 10 MHz byly dále změřeny postranní produkty vzdálené o 3.5 kHz s odstupem -75 dBc. V bližším okolí byla následně zjištěna přítomnost většího množství produktů, které se vyskytují zpravidla po frekvenčních intervalech 50 Hz okolo základní harmonické. Úrovňový odstup pro nejbližší produkt v okolí základní harmonické byl -20dBc. Důvodem pro výskyt těchto produktů je takzvaný "jitter", jehož vznik lze přisoudit časování převodníku prostřednictvím obvodu FPGA, tedy jeho vnitřním fázovým závěsem.

Kapitola 4

Závěr

Cílem této práce byl návrh a realizace signálového generátoru s komfortním grafickým uživatelským rozhraním. Z důvodů univerzálnosti byl využit algoritmus přímé číslicové syntézy pro signál sinus a algoritmus využívající proměnnou vzorkovací frekvenci pro signály definované uživatelem.

Teoretická část se zabývala popisem zmíněných metod generování signálů, zaměřila se na jejich principy, výhody a nedostatky. Dále se zabývala problematikou návrhu plošných spojů s číslicově-analogovými převodníky.

V konstrukční části byla nejprve představena koncepce řešení signálového generátoru, následoval popis řešení grafické knihovny. Její vývoj byl směřován k použití pro potřeby obsluhy signálového generátoru. Následně se práce věnovala vývoji komunikačního řadiče I²C. Byly vysvětleny využití postupy pro řízení signálového generátoru a přenos průběhů skrze zmiňovanou sběrnici. Další část se zabývala návrhem desky plošných spojů. Závěr konstrukční části byl věnován shrnutí změřených parametrů.

Výsledkem práce je funkční prototyp signálového generátoru umožňující generování průběhů typu sinus a libovolných průběhů z paměti USB flash disku. Mimo klíčových parametrů jako je frekvence či amplituda umožňuje generátor segmentaci průběhů. Grafická knihovna byla navržena s důrazem na snadnou přizpůsobitelnost.

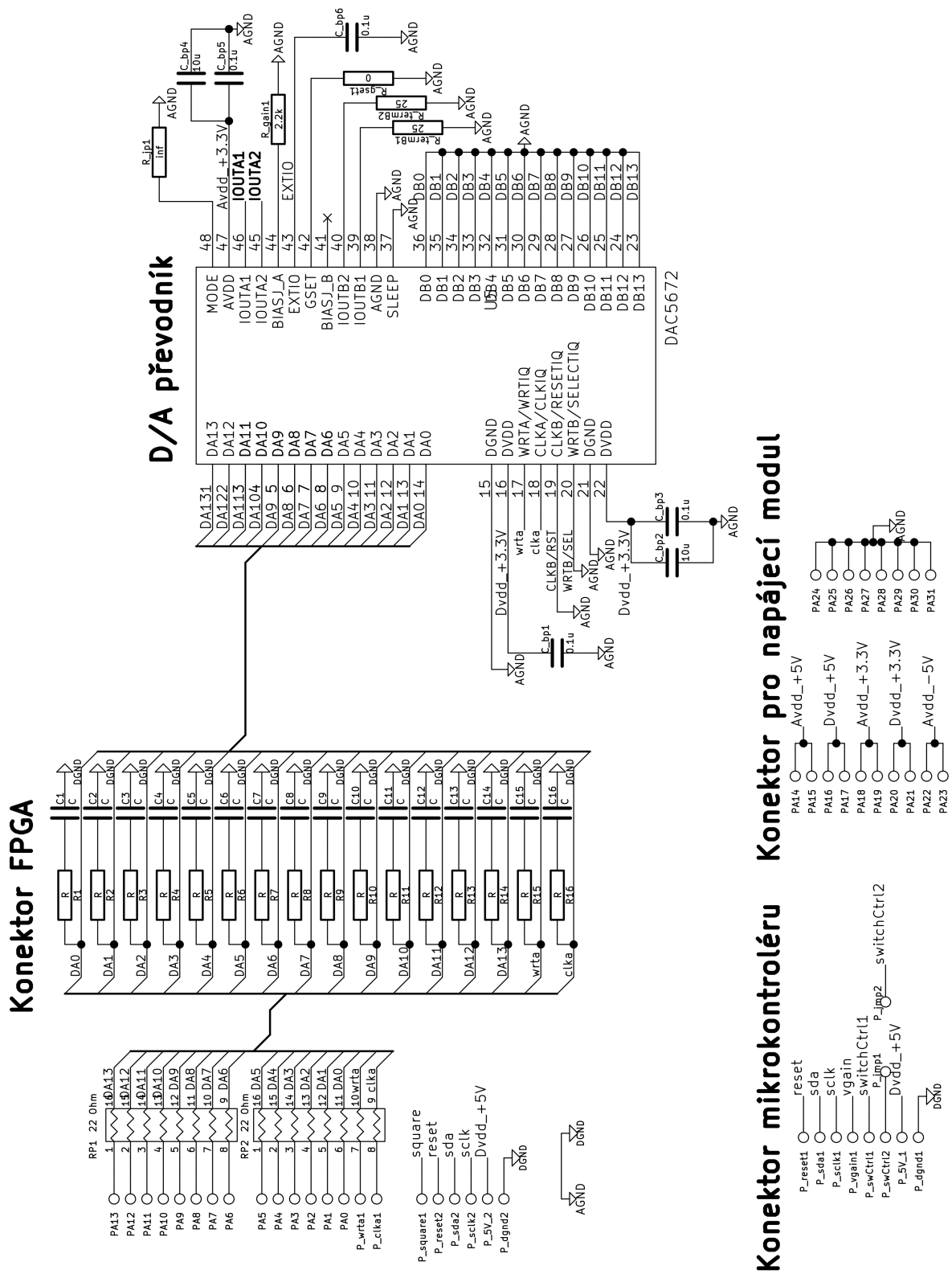
Parametry signálového generátoru jsou uvedeny v kapitole 3.6. Zpravidla odpovídají předpokladům s přihlédnutím na součástkovou základnu využitou pro konstrukci vlastního zařízení. Možnost vylepšení se naskýtá tedy především zvolením kvalitnějších a dražších součástek. Pro potřeby autora na příležitostná osciloskopická měření je však svými parametry dostačující.

Literatura

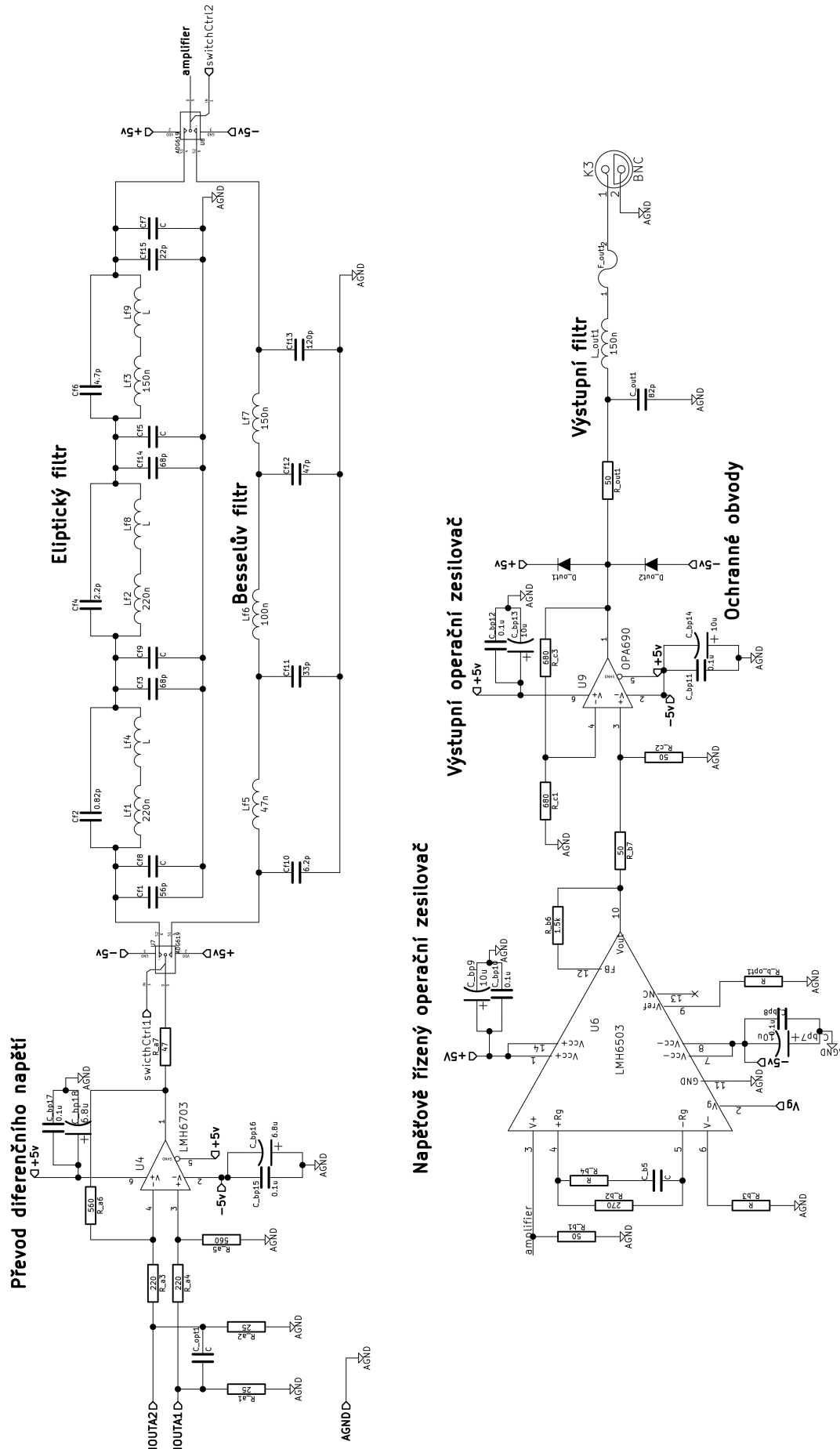
- [1] Analog Devices. *A Technical Tutorial on Digital Signal Synthesis [Online]* .1999. Dostupné z: <http://www.ieee.li/pdf/essay/dds.pdf>
- [2] Rohde & Schwarz. *Application Note: Arbitrary Waveform Sequencing with Rohde & Schwarz Vector Signal Generators [Online]*.2014. Dostupné z: <http://www.rohde-schwarz.de>
- [3] Tektronix. *Technical Brief: Understanding Signal Generation Methodologies [Online]*.2006. Dostupné z: <http://www.tek.com/document/fact-sheet/understanding-signal-generation-methodologies>
- [4] National instruments. *Arbitrary Sequence Mode [Online]*. 2011. Dostupné z: http://zone.ni.com/reference/en-XX/help/370524P-01/siggenhelp/ni_5421_waveform_sequencing/
- [5] NXP Semiconductors. *User manual UM10204: I2C-bus specification and user manual[Online]*. 2014. Dostupné z: <http://nxp.com>
- [6] Analog Devices. *Tutorial MT-031: Grounding Data Converters and Solving the Mystery of "AGND"and "DGND"[Online]*. 2008. Dostupné z: <http://www.analog.com/media/en/training-seminars/tutorials/MT-031.pdf>

Příloha A

Schémata zapojení

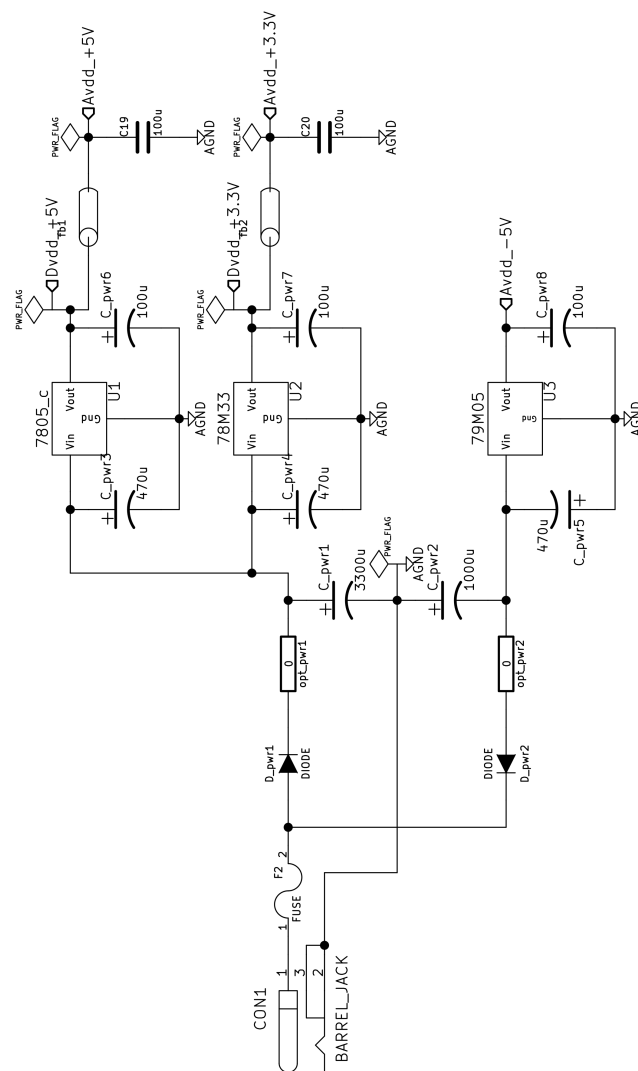
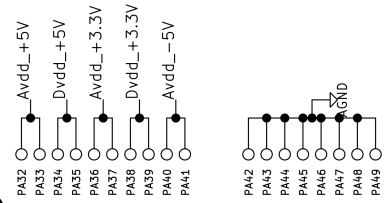


Obrázek A.1: Signálový generátor - schéma A



Obrázek A.2: Signálový generátor - schéma B - výstupní část

Konektor pro modul generátoru



Obrázek A.3: Signálový generátor - schéma C - napájecí modul

Příloha B

Zdrojové soubory

Zdrojové soubory jsou součástí přiloženého DVD.