



Fakulta elektrotechnická
Katedra aplikované elektroniky a telekomunikací

DIPLOMOVÁ PRÁCE

Návrh FSK modulátoru pro Eurobalízu na hradlovém poli

Autor práce: Bc. Tomáš Vajdiak
Vedoucí práce: Doc. Ing. Ivan Konečný, CSc.

Plzeň 2012

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2011/2012

ZADÁNÍ DIPLOMOVÉ PRÁCE
(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Tomáš VAJDIÁK**
Osobní číslo: **E09N0215P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Dopravní elektroinženýrství a autoelektronika**
Název tématu: **Návrh FSK modulátoru pro Eurobalízu na hradlovém poli**
Zadávající katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :

1. Seznamte se a popište jednotku Eurobalízy a její funkce v systému ETCS.
2. Vytvořte návrh FSK modulátoru pro Eurobalízu s využitím vhodného hradlového pole dle zadaných požadavků.
3. Otestujte vytvořený návrh a zhodnoťte dosažené výsledky.

Rozsah grafických prací: **podle doporučení vedoucího**

Rozsah pracovní zprávy: **30 - 40 stran**

Forma zpracování diplomové práce: **tištěná/elektronická**

Seznam odborné literatury:

Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí diplomové práce: **Doc. Ing. Ivan Konečný, CSc.**

Katedra aplikované elektroniky a telekomunikací

Konzultant diplomové práce: **Ing. Viliam Koprda**


AŽD Praha, pob. Žilina

Datum zadání diplomové práce: **18. října 2010**

Termín odevzdání diplomové práce: **11. května 2012**


Doc. Ing. Jiří Hamprbauer, Ph.D.
děkan




Doc. Dr. Ing. Vjačešlav Georgiev
vedoucí katedry

V Plzni dne 17. října 2011

Abstrakt

Tato práce se zabývá návrhem FSK modulátoru na hradlovém poli (FPGA). Parametry modulátoru odpovídají požadavkům na Eurobalízu, která je prvkem ERTMS/ETCS. Návrh je realizován pomocí jazyka VHDL a implementován na vývojovém kitu ProASIC®3 Starter Kit od firmy Microsemi.

Klíčová slova

DDS, Eurobalíza, ERTMS/ETCS, FPGA, FSK, přímá digitální syntéza, VHDL

Abstract

Vajdiak, Tomáš. *Design of Eurobalise modulator using FPGA [Návrh FSK modulátoru pro Eurobalízu na hradlovém poli]*. Pilsen, 2012. Master thesis (in Czech). University of West Bohemia. Faculty of Electrical Engineering. Department of Applied Electronics and Telecommunications. Supervisor: Ivan Konečný

This thesis deals with the design of FSK modulator using FPGA. Parameters of the modulator correspond to the requirements of the Eurobalise, which is a system of ERTMS/ETCS. The design is realized using VHDL and implemented on a development kit ProASIC®3 Starter Kit from Microsemi.

Keywords

DDS, Direct Digital Synthesis, Eurobalise, ERTMS/ETCS, FPGA, FSK, VHDL

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem svou závěrečnou práci vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 270 trestního zákona č. 40/2009 Sb.

Také prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne 8. května 2012

Bc. Tomáš Vajdiak

.....

Podpis

Poděkování

Tato práce vznikla s podporou z grantu Ministerstva průmyslu a obchodu FR-TI4/272: Systém bezkontaktního přenosu informací z železniční tratě na kolejové vozidlo - Euro-balíza ABA – 12, ze kterého byl zakoupen vývojový kit s hradlovým polem.

Touto formou bych chtěl poděkovat Doc. Ing. Ivanu Konečnému, CSc. za cenné rady, připomínky a metodické vedení práce.

Dále bych chtěl poděkovat Ing. Viliamu Koprdovi z firmy AŽD Praha za cenné konzultace.

V neposlední řadě také děkuji svým blízkým za podporu během celého studia.

Obsah

Seznam obrázků	vii
Seznam tabulek	viii
Seznam symbolů a zkratek	ix
1 Úvod	1
2 Vlakový zabezpečovač	2
2.1 Liniové VZ	2
2.1.1 VZ typu LS	3
2.2 Bodové VZ	3
2.3 Moderní VZ	3
3 Eurobalíza	4
3.1 Funkce Balízy	5
3.2 Balíza a aplikační úrovně	5
3.3 Architektura balízy a její rozhraní	6
3.3.1 Rozhraní A1	7
3.3.2 Obecná charakteristika	7
4 FSK modulace a možnosti realizace	9
4.1 Možné realizace	10
4.2 Přímá číslicová syntéza	10
4.3 Programovatelné logické obvody	12
4.3.1 Historie PLD	12
4.3.2 FPGA	13
5 Realizace FSK modulátoru na FPGA	14
5.1 Specifikace zadání	15
5.2 Návrh a analýza	15
5.2.1 Výběr FPGA	15
5.2.2 Výběr D/A převodníku a filtru	18
5.2.3 Volba pro popis návrhu	18

5.2.4	Návrh bloků FSK modulátoru na FPGA	18
5.3	Realizace návrhu	19
5.3.1	FSK	19
5.3.2	Řízení	21
5.3.3	Paměť s telegramem	22
5.3.4	Fázový závěs a dělič kmitočtu	22
5.3.5	Převodník z paralelních dat na sériová - PISO	22
5.4	Celkové řešení	23
6	Ověření vlastností	25
6.1	Časová oblast	27
6.2	Frekvenční oblast	28
7	Závěr	30
	Reference, použitá literatura	31
	Přílohy	32
A	Obsah přiloženého CD	32

Seznam obrázků

3.1	Balíza jako součást přenosového systému Eurobalíza Převzato s úpravami z [3] . . .	5
3.2	Architektura Balízy	6
3.3	Časový diagram startu Balízy	8
3.4	Balíza od firmy Siemens Převzato z [12] 	8
4.1	FSK modulace Převzato z [4] 	9
4.2	Blokové schéma DDS Převzato s úpravami z [10] 	11
5.1	Proces návrhu Převzato s úpravami z [8, 9] 	14
5.2	Zjednodušené blokové schéma FSK modulátoru	15
5.3	Vývojový kit Převzato z [7] 	16
5.4	Architektura ProASIC®3	17
5.5	R2R D/A převodník	18
5.6	Blokové schéma návrhu komponentů na FPGA	18
5.7	Blokové schéma FSK modulátoru	19
5.8	Blokové schéma 1. verze bloku FSK	20
5.9	Funkční simulace 1. verze	20
5.10	Blokové schéma 2. verze bloku FSK	21
5.11	Funkční simulace 2. verze	21
5.12	Blokové schéma zapojení PLL a děličky	23
5.13	Celkový projekt v Libero SoC	23
6.1	Funkční simulace celého systému	25
6.2	Použitý R2R D/A převodník	25
6.3	Zapojení pro ověření funkce	26
6.4	Fotografie z měření	26
6.5	Rychlost dat	27
6.6	FSK modulace	27
6.7	Frekvenční spektrum	28
6.8	Frekvenční spektrum	28

Seznam tabulek

2.1	Liniové vlakové zabezpečovače	2
2.2	Bodové vlakové zabezpečovače	3
4.1	Porovnání jednotlivých technologií FPGA	13
5.1	Tabulka požadavků	15
5.2	Řady Microsemi flash FPGA	16
5.3	Porovnání 2 variant DDS	21
5.4	Přiřazení vývodů FPGA	24
5.5	Parametry realizace	24
6.1	Seznam použitých přístrojů a přípravků	29

Seznam symbolů a zkratek

ABEL	Advanced Boolean Expression Language. Programovací jazyk pro popis hardware.
ASK	Amplitude Shift Keying. Amplitudové klíčování.
B_{2FSK}	Šířka pásma FSK modulace [Hz].
BTM	Balise Transmission Module. Přenosový modul Balízy.
CPLD	Complex Programmable Logic Array. Komplexní programovatelný logický obvod.
CPFSK	Continuous Phase FSK. Frekvenční klíčování se spojitou fází.
CW	Continuous Wave. Nemodulovaná nosná vlna.
DDS	Direct Digital Synthesis. Přímá číslicová syntéza.
DECT	Digital Enhanced Cordless Telephone. Mezinárodní standard pro bezdrátový přenos.
DSP	Digital Signal Processor. Digitální signálový procesor.
D/A	Digital/Analog. Číslicově/analogový např. převodník.
EEPROM	Electrically Erasable PROM. Elektricky vymazatelná PROM.
ERTMS	European Rail Traffic Management System. Evropský systém řízení železniční dopravy.
ETCS	European Train Control System. Systém evropského vlakového zabezpečovače.
EVC	European Vital Computer. Centrální počítač vozidlové části.
f_c	Kmitočet nosného signálu [Hz].
f_{clk}	Kmitočet hodinového signálu [Hz].
f_h	Horní frekvence FSK odpovídající log. „1“ [Hz].
f_l	Dolní frekvence FSK odpovídající log. „0“ [Hz].
f_{max}	Kmitočet modulačního signálu [Hz].
f_o	Výstupní frekvence DDS [Hz].
f_1, f_2	Výstupní frekvence FSK modulace [Hz].
FIFO	First In First Out. Bezadresová paměť typu fronty.
FPGA	Field Programmable Gate Array. Programovatelné hradlové pole.
FPLA	Field Programmable Logic Array. Programovatelné logické pole.
FSK	Frequency Shift Keying. Frekvenční klíčování.

GAL	Generic array logic. Generické logické pole.
GSM-R	Global System for Mobile Communications – Railway. GSM pro železnici.
HDL	Hardware Description Language. Obecný jazyk pro popis hardware.
LEU	Lineside Electronics Unit. Traťová elektronická jednotka.
LUT	Lookup Table. Vyhledávací Tabulka.
MMI	Man Machine Interface. Palubní zobrazovací jednotka.
M_{size}	Velikost paměti LUT tabulky DDS [b].
MSK	Minimum Shift Keying. Frekvenční klíčování s minimálním zdvihem.
PAL	Programmable Array Logic. Programovatelný logický obvod.
PLD	Programmable Logic Device. Programovatelný logický obvod.
PROM	Programmable ROM. Programovatelná ROM.
PISO	Parallel In Serial Out. Převod z paralelních dat na seriová.
PLA	Programmable Logic Array. Programovatelné logické pole.
PSK	Phase Shift Keying. Fázové klíčování.
QAM	Quadrature Amplitude Modulation. Kvadraturní amplitudová modulace.
ROM	Read Only Memory. Permanentní paměť.
SFDR	Spurious Free Dynamic Range.
SNR	Signal to Noise Ratio. Odstup signálu od šumu.
SPLD	Simple Programmable Logic Array. Jednoduchý programovatelný logický obvod.
SRAM	Static RAM. Statická paměť RAM.
SŽDC	Správa železniční dopravní cesty.
RFID	Radio Frequency Identification. Identifikace na rádiové frekvenci.
STM	Specific Transmission Module. Modul pro převod informací z národních zabezpečovačů na ETCS.
UIC	Union Internationale des Chemins de fer. Mezinárodní železniční unie.
UNISIG	Union Industry of Signalling. Asociace průmyslu železničních signalizačních systémů.
VHDL	VHSIC Hardware Description Language. Programovací jazyk pro popis hardware.
VHSIC	Very High Speed Integrated Circuits. Velmi rychlé integrované obvody.
VZ	Vlakový zabezpečovač.
v_p	Přenosová rychlost [b/s].
Δf	Frekvenční odchylka [Hz].

Φ_{inc} Přírůstek fáze DDS.

1

Úvod

V dnešních dnech se stává železnice jedním z hlavních dopravních prostředků v Evropě. V osobní přepravě je dávána přednost před silniční dopravou, vlivem vyšší bezpečnosti, ceny a také rychlosti. Pomalu se také rozvíjí kombinovaná přeprava nákladní dopravy, kterou se významně omezuje zátěž na životní prostředí.

Důležitým prvkem v železniční dopravě je železniční zabezpečovací zařízení, které má na starosti bezpečný provoz na železnici.

Historicky se v Evropě vyvinulo přes dvacet různých vlakových zabezpečovacích zařízení, a tím vznikají problémy při přecházení hranic jednotlivých států.

Tento problém se už řeší od osmdesátých let minulého století a vedl ke vzniku evropského vlakového zabezpečovače pod názvem ERTMS/ETCS.

Společnost AŽD Praha s.r.o. se chce uplatnit na našem i evropském trhu a zahajuje tak vlastní vývoj jednotlivých prvků ERTMS/ETCS. Zde také vznikl požadavek na návrh FSK modulátoru pro balízu. Tato práce vznikla za účelem seznámení se systémem balízy a s popisem její funkce v rámci systému ERTMS/ETCS. Hlavním cílem je pak navrhnout FSK modulátor na hradlovém poli, který reflektuje požadavky balízy.

Závěrečná práce je rozdělena na dvě hlavní části. První část je teoretická a tvoří jí kapitoly:

- 2 Vlakový zabezpečovač,
- 3 Eurobalíza,
- 4 FSK modulátor a možnosti realizace.

Druhá část se věnuje vlastnímu řešení návrhu a jeho ověření a tu tvoří kapitoly:

- 5 Realizace FSK modulátoru na FPGA,
- 6 Ověření funkce.

Poslední kapitola 7 shrnuje dosažené výsledky a možnosti dalšího vývoje dané problematiky.

2

Vlakový zabezpečovač

Vlakové zabezpečovací zařízení, zkráceně vlakový zabezpečovač (dále jen VZ) je jedním z prvků železničního zabezpečovacího zařízení, které spolu se staničním zab. zař., traťovým zab. zař. a přejezdovým zab. zař. tvoří soubor prostředků, které zajišťují bezpečný provoz na železnici.

Důvodem vzniku tohoto zařízení je zamezit vzniku nebezpečné situace z důvodu nespolehlivosti lidského činitele, v tomto případě strojvedoucího.

Ke své činnosti musí VZ získat informace, a na jejich základě pak rozhodovat o zásahu do jízdy vlaku v případě překročení limitu pro bezpečnou jízdu vlaku.

Za první VZ, můžeme považovat tzv. třaskavku, která pochází z 19. století. Jedná se o rozbušku, umístěnou na hlavě kolejnice, která při přejetí explodovala a upozornila tak strojvedoucího na nebezpečnou situaci. Tento způsob signalizace navrhl v roce 1842 E.A. Cowper v Anglii.

V dnešních dnech se na evropské železnici můžeme setkat s několika typy VZ, a lze je rozdělit podle způsobu přenosu z tratě na vozidlo na liniové a bodové VZ.

2.1 Liniové VZ

Liniové zabezpečovací zařízení přenáší návěst v celém úseku před návěstídem, tím je zajištěno okamžité zaznamenání změny návěstního znaku na vozidle. V Tab. 2.1 jsou uvedeny jednotlivé liniové zabezpečovače, s daným typem přenosu a zemí, kde se používá.

Název	Typ	Země
ALSN	nízkofrekvenční	státy bývalého SSSR
ATB	nízkofrekvenční	Holandsko
LS	nízkofrekvenční	Česko, Slovensko
LZB	vysokofrekvenční	Německo, Rakousko
MIREL	nízkofrekvenční	Slovensko

Tab. 2.1: Liniové vlakové zabezpečovače

2.1.1 VZ typu LS

VZ LS byl nasazen u nás už v šedesátých letech minulého století a dodnes je tento princip využíván na tratích spravovaných SŽDC. Tento systém prošel vývojem od verze VZ LSII–LSIV až po dnešní LS90 a LS06, které se však příliš neliší od LSIV.

VZ LS se dělí na část traťovou a mobilní, kde traťová část má na starosti kódování jednotlivých návěstních znaků a část mobilní snímá z trati návěstní znaky, které vyhodnocuje.

Podrobné informace zabývající se rozbořem VZ LS90 lze nalézt např. v [6].

2.2 Bodové VZ

Bodové VZ přenášejí návěst v okamžiku průjezdu vozidla nad daným bodem železniční trati. To umožňuje určit přesně polohu vlaku a vzdálenost k návěstidlu. Nevýhodou je nezaznamenání změny návěstního znaku v průběhu jízdy od přenosového bodu k návěstidlu, tento problém se dá vyřešit doplněním přenosových bodů nebo použitím smyček.

Název	Typ	Země
Krokodýl	kontaktní	Francie, Belgie
Indusi/PZB	nízkofrekvenční	Německo, Rakousko
KVB	vysokofrekvenční	Francie

Tab. 2.2: Bodové vlakové zabezpečovače

2.3 Moderní VZ

Využití VZ může být však rozšířeno o funkci, která poskytuje informace o poloze vlaku řídicím dopravním systémům, které jsou dnes zajišťovány např. kolejovými obvody nebo počítači náprav. Příkladem tohoto moderního řešení je například VZ JZG 700.

Už v 70. letech minulého století vzniklo vlakové zabezpečovací zařízení s názvem JZG 700, kde informace na vozidlo byla přenášena pomocí bezpečného bodového přenosu oproti např. liniovému vlakovému zabezpečovací LS90, kde jsou informace z návěstidel dodatečně kódovány v kolejových obvodech.

VZ JZG 700 je tvořen mobilní částí, která je umístěna na vozidle a bodovými transpondéry - balízami umístěnými na trati. Balíza, která je aktivovaná modulovaným 27 MHz signálem a odpovídá amplitudově modulovaným signálem o frekvenci 4,5 MHz.

Právě VZ JZG 700 je předchůdce systému, který je součástí evropského zabezpečovacího systému ERTMS/ETCS, tento subsystém nese název Eurobalíza.

3

Eurobalíza

Dle [5] byl v roce 1991 UIC zahájen projekt evropského vlakového zabezpečovače (v anglické literatuře označován jako ETCS). Projekt ETCS se pak v roce 1995 dostal spolu s projektem GSM - R pod křídla EU a vznikl tak název ERTMS/ETCS (dále jen ETCS). Hlavní myšlenkou, která vznikla již v osmdesátých letech minulého století, je sjednotit vlakové zabezpečovací systémy jednotlivých států a zajistit tzv. interoperabilitu.

Vzhledem k tomu, že technické specifikace má od roku 1998 na starosti skupina devíti firem (duben 2012) zabývající se železničním zabezpečovacím zařízením s názvem UNISIG, byly tyto specifikace přijaty Evropskou komisí až v roce 2008.

Hlavním cílem systému ETCS je zajištění bezpečnosti a spolehlivosti, nižší náklady, plynulé překračování hranic a jiné výhody oproti stávajícím vzájemně nekompatibilním zabezpečovacím zařízením.

ETCS lze rozdělit do dvou hlavních částí, traťovou a vozidlovou. Mezi nejdůležitější prvky vozidlové části patří:

- EVC centrální počítač – mozek mobilní části,
- MMI zobrazovací jednotka – jednotka styku s obsluhou,
- BTM přenosový modul eurobalízy – spolu s anténou na vozidle přijímá telegram od balízy,

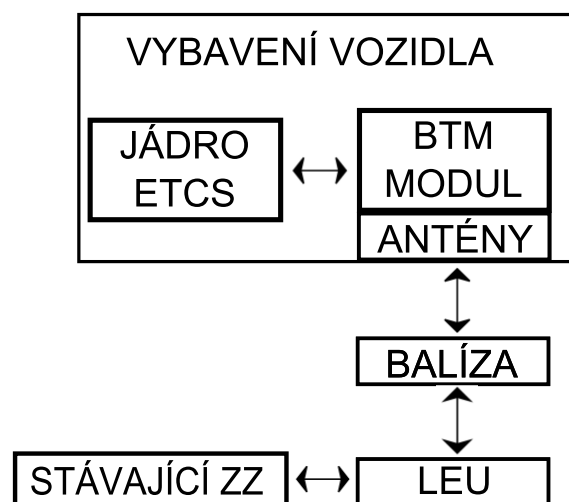
traťová část se pak skládá z těchto systémů:

- Eurobalíza (dále jen balíza) – bodový prostředek pro přenos informace na vozidlo,
- Přenosová smyčka - Euroloop – bodový nebo liniový přenosový prostředek,
- Eurorádio – liniový rádiový přenosový systém využívající GSM-R.

Další odstavce se věnují přiblížení funkce balízy a jejím specifikacím.

3.1 Funkce Balízy

Balíza jako traťová část přenosového systému Eurobalíza, spolu s BTM (vozidlová část), zajišťuje bodový přenos informace (dále jen telegramu) z tratě na vozidlo a i naopak, což znázorňuje Obr. 3.1. Právě přenos telegramu je úkolem balízy, přenos se dále dělí podle přenosu z trati na vozidlo (v anglické literatuře označována jako Up - link Balíza), která kromě pevně nastaveného telegramu (Fixed Balise) umožňuje přenos proměnných dat (Controlled Balise) ze stávajícího zabezpečovacího zařízení pomocí jednotky LEU. Opačný přenos (Down - link) je také specifikován, ale ve vyšších úrovních ETCS se s tímto typem přenosu nepočítá. Veškeré parametry uvedené dále v této kapitole jsou výtahem z technické specifikace (v anglické literatuře označované jako subset) 036 pro balízu [3].



Obr. 3.1: Balíza jako součást přenosového systému Eurobalíza [Převzato s úpravami z [3]]

3.2 Balíza a aplikační úrovně

Systém ETCS je rozdělen do tzv. aplikačních úrovní, které umožňují plynulý přechod ze stávajícího zabezpečovacího zařízení na systém ETCS, který daný národní systém doplňuje až po úroveň, kdy plně zajišťuje bezpečný provoz na železnici.

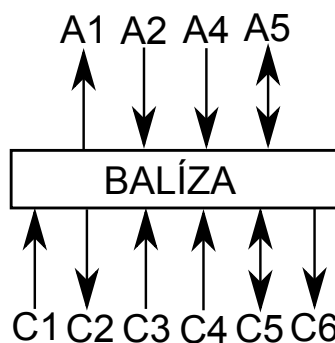
Míra použití systému se dělí do šesti kategorií, které zde budou uvedeny s pohledem využití balízy:

- úroveň ETCS L0 – trať není systémem ETCS vybavena vůbec, vozidlová část pouze dohlíží na maximální rychlost,
- úroveň ETCS LSTM – u úrovně LSTM balíza může plnit funkci pro doplnění informací, při přechodném období, kdy je na vozidle instalován STM modul, který přijímá informace ze stávajícího zabezpečovacího zařízení a převádí je do formátu ETCS,

- úroveň ETCS L1 – k přenosu telegramu z trati na vozidlo u této úrovně, může být použita buď přepínatelná nebo pevná balíza. Přepínatelná balíza má na starosti přenos časově proměnných informací z návěstidel, skrze rozhraní „C“ a pomocí LEU. Jedná se tak o doplněk stávajících zabezpečovacích zařízení,
- úroveň ETCS L2 – zde pevné balízy poskytují informaci, kterou vozidlo využije ke zjištění aktuální pozice na trati, tak umožňuje i kalibraci odometru. Vzhledem k tomu, že veškeré proměnné informace jsou přenášeny na vozidlo rádiově (Euro-rádio), je možné obejít se bez návěstidel. Klasické zabezpečovací zařízení zde plní funkce jako je například detekce vlaku, stavění jízdnic cest,
- úroveň ETCS L3 – jedná se o plnohodnotný systém, bez jakéhokoliv stávajícího zabezpečovacího zařízení. Balíza má stejnou funkci jako v úrovni 2,
- úroveň ETCS LC – levnější varianta úrovně L3, s využitím na vedlejších tratích při menším počtu balíz, počítá se i s využitím satelitní navigace.

3.3 Architektura balízy a její rozhraní

Mezi jednotlivými subsystémy přenosového systému Eurobalízy jsou definovaná tzv. vnější rozhraní „C“ (Controlled – připojení k LEU) a vnitřní rozhraní „A“ (Air-gap – bezdrátové napájení, přenos telegramu z balízy i do ní a programování).



Obr. 3.2: Architektura Balízy

Vnitřní rozhraní jsou:

- „A1“ – rozhraní zajišťující přenos telegramu z up-link balízy na vozidlo,
- „A2“ – rozhraní pro přenos telegramu z vozidla do down-link balízy,
- „A4“ – rozhraní, které napájí energetickým signálem up-link balízu,
- „A5“ – rozhraní pro programování balízy,

a vnější rozhraní jsou pak:

- „C1“ – rozhraní pro přenos dat z LEU do balízy,
- „C2“ – rozhraní pro přenos dat z down-link Balízy do LEU,
- „C3“ – rozhraní, které zajišťuje napájení down-link balízy,
- „C4“ – rozhraní, které přenáší blokovací signál z LEU do balízy
- „C5“ – rozhraní zajišťující programování pomocí kabelu,
- „C6“ – rozhraní, které zajišťuje napájení up-link balízy,

Níže uvedený text se bude dále věnovat rozhraní „A1“, které specifikuje požadavky na přenos informace z balízy na vozidlo a obecné charakteristice.

3.3.1 Rozhraní A1

Toto rozhraní „A1“ má na starosti bezdrátový přenos telegramu z balízy do vozidlové části. K přenosu telegramu se využívá FSK modulace.

Hodnoty frekvencí FSK modulace jsou $f_l = 3,951 \text{ MHz}$ pro logickou „0“ a $f_h = 4,516 \text{ MHz}$ pro log. „1“. Při přechodu z jedné frekvence na druhou je třeba dodržet plynulý přechod fáze.

- Střední kmitočet tak bude $(f_h + f_l)/2 = 4,234 \text{ MHz} \pm 175 \text{ kHz}$.
- Frekvenční odchylka $(f_h - f_l)/2 = 282 \text{ kHz} \pm 7\%$.

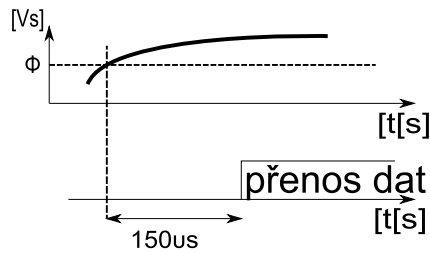
Rychlost přenosu dat $v_p = 564,48 \text{ kbit/s} \pm 2,5\%$, to znamená že log. „0“ odpovídá 7 periodám f_l a log. „1“ odpovídá 8 periodám f_h .

3.3.2 Obecná charakteristika

Z hlediska napájení může být balíza napájena dvojným způsobem a to buď elektromagnetickým výkonovým signálem 27,095 MHz (v anglické literatuře označován jako telepowering) nebo pokud je balíza umístěna blízko stávajícího zabezpečovacího zařízení, je možné napájet balízu kabelem z jednotky LEU.

V případě bezdrátového napájení se v podstatě jedná o RFID transpondér, který nemá vlastní zdroj (ani baterii). Napájecí signál může být ve třech variantách. Jednou z variant je nemodulovaná nosná vlna (v anglické literatuře označována jako CW) a druhé dvě varianty (v anglické literatuře označované jako Toggling AM a Non-Toggling AM) jsou amplitudově modulované nesymetrickými impulsy s periodou 50 kHz.

Při ozařování balíz kontinuální vlnou 27,095 MHz, musí balíza po dosažení určitého magnetického toku začít odesílat telegram, nejdéle však do $150 \mu\text{s}$ což znázorňuje Obr. 3.3. V případě ozařování Toggling AM signálem, musí balíza začít odesílat telegram až po



Obr. 3.3: Časový diagram startu Balízy

$250 \mu\text{s}$, u Non-Toggling signálem balíza nesmí vysílat vůbec nebo musí vysílání ukončit do $80 \mu\text{s}$. Všechny tyto varianty jsou nutné z důvodu kompatibility se starými typy balíz.

Pokud je balíza napájena kabelem z LEU, tak se telegram odesílá až po aktivaci telepowering signálem z projíždějícího vlaku.

Dokud má balíza energii, odesílá cyklicky telegram, který má délku 341 nebo 1023 bitů. Musí být zajištěna možnost jeho přeprogramování, ale nesmí se tak stát za běžného provozu nebo pomocí rozhraní, kterým je připojeno k jednotce LEU. Přeprogramování telegramu může být provedeno bezdrátově nebo pomocí kabelu, specifikace pro programování není definovaná a výrobce si ji tak může definovat sám.

Na trhu je k dnešnímu dni (duben 2012) šest výrobců balíz. Jsou to firmy Alstom, Ansaldo STS, Bombardier, Invensys, Siemens, Sigma-Digitek a Thales.

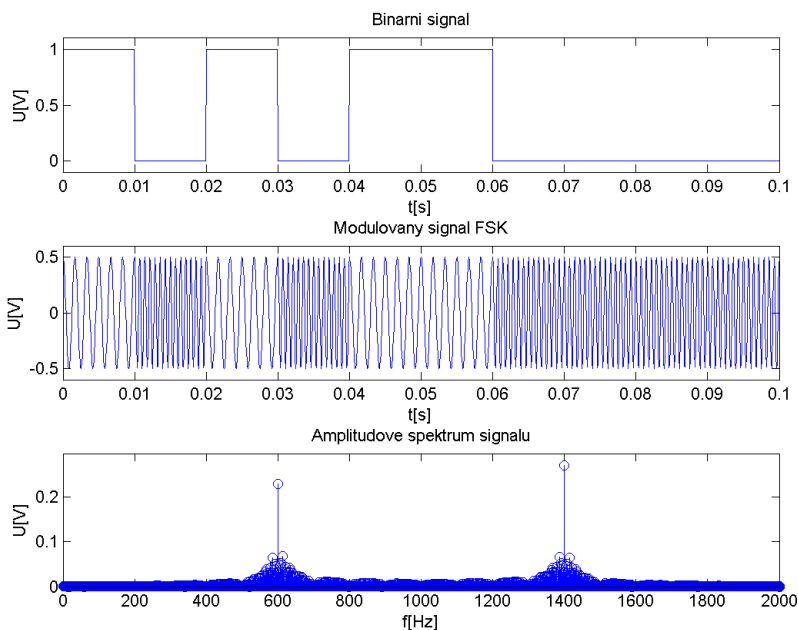


Obr. 3.4: Balíza od firmy Siemens [Převzato z [12]]

4

FSK modulace a možnosti realizace

Stejně jako ASK, PSK a QAM patří FSK modulace mezi digitální modulační metody. Tyto digitální modulační metody se využívají v rádiovém přenosu. Modulační signál, který nese informaci moduluje amplitudově, frekvenčně, fázově nebo jejich kombinací rádiovou nosnou vlnu. Binární FSK modulace se někdy označuje také jako 2FSK nebo BFSK.



Obr. 4.1: FSK modulace [Převzato z [4]]

V případě 2FSK modulace, modulační binární signál ovlivňuje kmitočet nosné vlny, která se mění mezi dvěma frekvencemi $f_1 = f_c - \Delta f$ a $f_2 = f_c + \Delta f$, kde $f_c = (f_1 + f_2)/2$ je kmitočet nosné vlny a Δf je frekvenční odchylka od nosné vlny. Amplituda nosné vlny je konstantní. Pomocí Carsonova vzorce lze určit šířku pásma danou vztahem

$$B_{2FSK} = f_{max} + 2\Delta f \quad [Hz] \quad (4.1)$$

kde f_{max} je šířka základního pásma modulačních impulsů.

2FSK modulace se využívá v aplikacích, kde nejsou příznivé podmínky pro přenos dat způsobené např. interferencemi a mnohacestným šířením. Typicky se jedná o bezešňůrové telefony DECT.

Vylepšením 2FSK modulace je CPFSK, která zachovává spojitost fáze. Tím, že odstraníme fázové nespojitosti, se zbavíme parazitních postranních laloků ve spektru, které jinak vznikají.

Pokud je frekvenční odchylka čtvrtinou bitové rychlosti modulačního signálu získáváme další odvození od CPFSK, a to modulací MSK. MSK je frekvenční klíčování s minimálním zdvihem.

Více informací ohledně modulací lze nalézt např. v [2].

4.1 Možné realizace

Realizace 2FSK modulátoru je možná například pomocí dvou oscilátorů, kdy modulačním signálem přepínáme jednotlivé frekvence. U tohoto řešení vznikají nežádoucí fázové nespojitosti při změnách modulačního signálu.

Další variantou je použití generátorů, které využívají fázový závěs, i přes větší stabilitu tohoto řešení proti předchozímu, zde vznikají nepřesnosti při rychlých změnách modulačního signálu z důvodu prodlevy než se zachytí fázový závěs.

Opakem uvedeného generátorů se zpětnou vazbou (fázový závěs) jsou integrované obvody, které jsou založené na přímé číslicové syntéze. Tyto obvody umožňují generovat mimo jiné i FSK modulaci.

S ohledem na rychlost modulačního signálu, teplotní rozsahy balízy, vyplývá použití integrovaných obvodů s přímou číslicovou syntézou. Ovšem tyto obvody je nutné nějak řídit, například μ Procesorem, tím ale nedokážeme splnit časové požadavky. Z toho plyne použití hradlového pole, které může řídit integrovaný obvod FSK modulátoru nebo přímo navrhnout strukturu přímé číslicové syntézy na hradlovém poli.

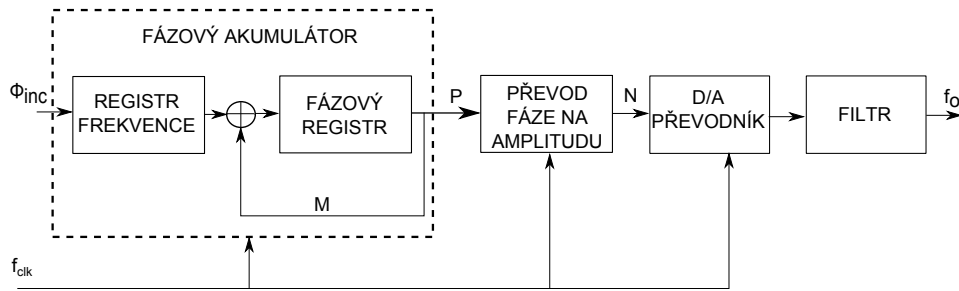
V dalších oddílech této kapitoly bude přiblížen princip přímé číslicové syntézy a seznámení s programovatelnými hradlovými poli.

4.2 Přímá číslicová syntéza

Hlavní výhodou přímé číslicové syntézy (dále je DDS) je, že výstupní frekvence, fáze a amplituda mohou být přesně a rychle konfigurovány např. pomocí μ Procesoru. Tyto vlastnosti DDS nacházejí uplatnění např. v signálových generátorech a modulátorech.

Blokové schéma, které představuje DDS, znázorňuje Obr. 4.2. DDS obsahuje fázový akumulátor, který se skládá ze sčítačky a registru, dále pak obvodu, který převádí fázi na amplitudu, D/A převodníku a nakonec analogového filtru.

Princip činnosti je takový, že s každou periodou hodinového signálu f_{clk} je v akumulátoru fáze zvýšena jeho hodnota o přírůstek fáze Φ_{inc} , při dosažení hodnoty 2^M fázového



Obr. 4.2: Blokové schéma DDS [Převzato s úpravami z [10]]

registru dojde k jeho vynulování a cyklus se opakuje. Jeden cyklus odpovídá právě jedné periodě výstupního signálu. Se zvyšujícím přírůstkem fáze Φ_{inc} se zvyšuje i výstupní frekvence f_o , kdy nejvyšší hodnota přírůstku může být teoreticky polovina obsahu akumulátoru fáze, vyjádřený vztahem

$$\Phi_{inc} \leq 2^{M-1}, \quad (4.2)$$

výstupní frekvence je pak dána vztahem

$$f_o = \frac{\Phi_{inc} f_{clk}}{2^M} \quad [Hz], \quad (4.3)$$

z těchto vztahů plyne, že minimální výstupní frekvence je při $\Phi_{inc} = 1$ a maximální teoretická frekvence je $f_{clk}/2$.

Převodník fáze na amplitudu je paměť s uloženými hodnotami amplitudy daného signálu, které jsou adresované fázovým akumulátorem. Při velikosti fáze M bitů by musel být průběh funkce uložený v převodníku fáze na amplitudu 2^M , což by při požadavku na jemné ladění frekvence neúměrně zvyšovalo velikost paměti. Proto se využívá P bitů, které adresují paměť s uloženým průběhem dané funkce ($P \leq M$). Velikost použité paměti je dána vztahem

$$M_{size} = 2^P * N \quad [bit], \quad (4.4)$$

ale například v případě sinusového průběhu, lze využít symetrie a velikost paměti lze tak zkomprimovat na jednu čtvrtinu.

Jak již bylo zmíněno, výstup fázového akumulátoru je oříznut z M bitů na P bitů. Touto kvantizací redukuje velikost potřebné paměti, ale způsobíme tím vznik fázového šumu, který produkuje parazitní spektrální složky (v anglické literatuře označovány jako spurs) ve výstupním signálu DDS. Rozdíl mezi úrovní výstupního signálu a maximální úrovní parazitní spektrální složky je označován jako SFDR. Vztah uvedený v [1]

$$\begin{aligned} S_{max} &= -SFDR \\ &= -6,02P + 3,92 \quad [dB], \end{aligned} \quad (4.5)$$

udává nejnepríznivější odstup signál od šumu.

Další vznik šumu vzniká v převodu fáze na amplitudu, kdy N je šířka paměťového slova uloženého v paměti. Poměr odstupů signálu od šumu je dán vztahem

$$SNR = -6,02N - 1,76 \quad [dB], \quad (4.6)$$

porovnáním rovnic 4.5 a 4.6 vyplývá, že pokud $S_{max} \leq SNR$, tak nežádoucí spektrální složky jsou způsobeny amplitudovou kvantizací. Podmínka, která to zajišťuje je dána vztahem

$$P \geq N + 1. \quad (4.7)$$

V případě integrovaných obvodu jsou D/A převodníky jejich součástí a záleží na uživateli, který integrovaný obvod zvolí. Pokud se DDS implementuje na μ Procesoru nebo FPGA (někdy už může být na FPGA specializovaný blok s A/D, D/A převodníky), je nutné připojit na jejich výstupy D/A převodník.

Volba D/A převodníku se odvíjí od dané aplikace, kdy je možno vyjít od jednoduchých D/A převodníků typu odporové sítě R2R až po samostatné integrované odvody, které mohou mít kromě paralelního vstupu dat i vstup seriový, který nám může ušetřit výstupní piny použitých čipů.

Analogovou část DDS tvoří filtr, který potlačuje nežádoucí frekvenční spektrální složky, které vyskytují za D/A převodníkem.

4.3 Programovatelné logické obvody

Programovatelná hradlová pole (dále jen FPGA) patří spolu s obvody SPLD a CPLD mezi programovatelné logické obvody (dále jen PLD). V dalších částech bude provedeno seznámení se historií PLD a dále blížeji s obvody FPGA.

4.3.1 Historie PLD

Dle [8] se vývoj PLD dá přehledně rozdělit do třech generací. V první vývojové generaci se jako PLD považuje paměť PROM, která slouží jako vyhledávací tabulka (v anglické literatuře označována jako LUT), která obsahuje výstupní hodnoty, které jsou adresovány vstupními daty, vznik se datuje do poloviny sedmdesátých let. Mezi tzv. první generaci dále patří odvody PLA, FPLA a PAL, kdy obvody PLA obsahovaly pole AND hradel a pole OR hradel, obvody FPLA měly pole AND a OR programovatelné, z kterých vycházely obvody PAL, které měly programovatelné pole hradel AND s neprogramovatelným polem hradel OR.

Druhá generace začíná s uvedením PLD obvodem od firmy AMD v roce 1983, tzv. obvod PAL s makrobuňkou. Tyto první dvě generace měli však nevýhodu v tom, že je bylo možné pouze jednou naprogramovat.

Vyřešení problému s vícenásobnou programovatelností přišel s technologií paměti EEPROM, která byla využita v PLD s názvem GAL. Tyto obvody se zařazují již do třetí

generace a označují se také jako odvodů SPLD, to byla polovina osmdesátých let minulého století.

Od přelomu osmdesátých a devadesátých let po obvodech SPLD přišly firmy zabývající se vývojem PLD s dvěma odlišnými architekturami obvodů. Technologie CPLD a FPGA, se skládá z programovatelné matice hradel AND, hradlech OR a makrobuňkách, respektive generátorů logických funkcí pomocí paměti.

Více informací ohledně typů architektur PLD a jejich možností lze nalézt v [8]. V dalších odstavcích bude přiblížena technologie FPGA.

4.3.2 FPGA

Jak již bylo uvedeno obvody architektury FPGA jsou založeny na principu generátorů logických funkcí (vychází z prvních PLD, využívajících PROM), dále pak na klopných obvodech a horizontálních/vertikálních propojeních.

U FPGA se v dnešních dnech využívají nejčastěji tři technologie SRAM, flash nebo technologie průrazu izolantu (v anglické literatuře označována jako anti-fuse), dle použité technologie při výrobě můžeme FPGA rozdělit na FPGA s volatílní konfigurací a nevolatílní konfigurací. V případě technologie SRAM se jedná o volatílní konfiguraci, kdy se obvod musí po startu nakonfigurovat oproti nevolatílní konfiguraci v případě flash nebo anti-fuse technologie. V Tab. 4.1 jsou shrnuty výhody a nevýhody jednotlivých technologií.

Technologie	Výhoda	Nevýhoda
SRAM	snadná konfigurace technologický náskok	konfigurace až po startu systému obtížnější zajištění intelektuálního vlastnictví
Flash	funkční ihned po startu odolné proti radiaci	technologicky pozadu za SRAM
Anti-fuse	funkční ihned po startu odolné proti radiaci	lze pouze jednou naprogramovat technologicky pozadu za SRAM

Tab. 4.1: Porovnání jednotlivých technologií FPGA

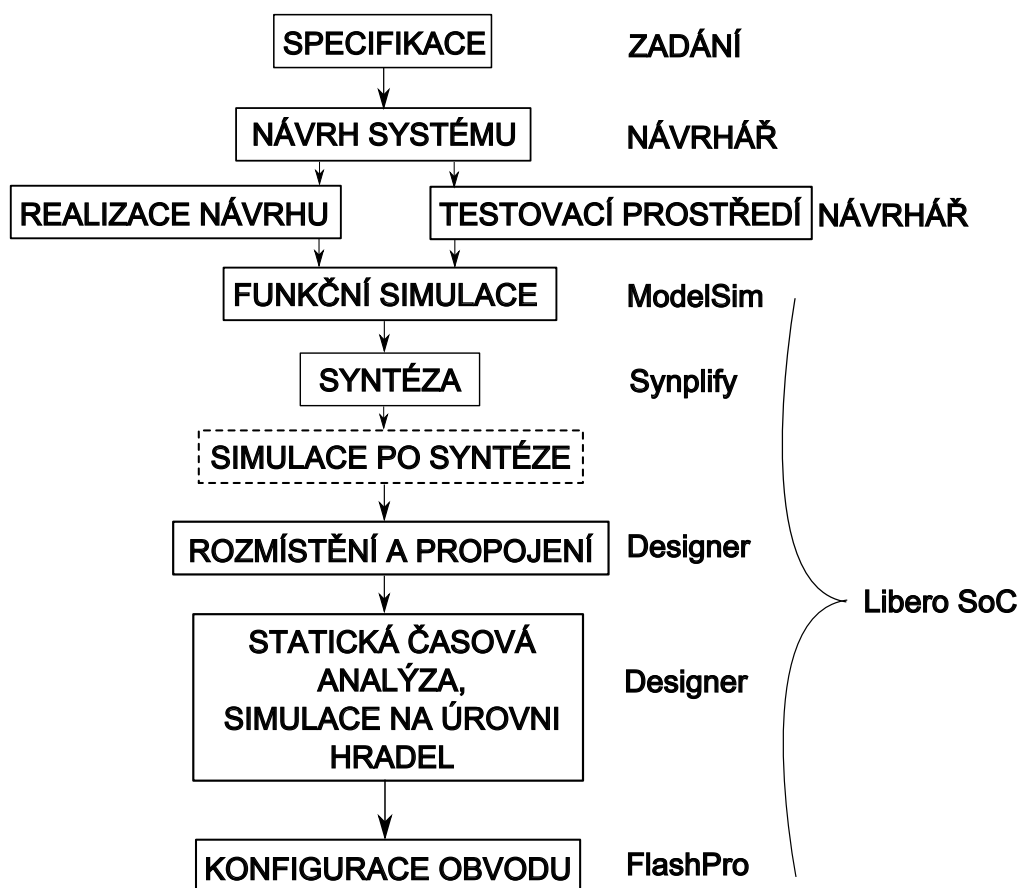
Obvody FPGA mimo výše popsané bloky mohou obsahovat například bloky A/D a D/A převodníků, fázové závěsy pro generování libovolného kmitočtu hodin, vložené bloky paměti.

Mezi největší výrobce FPGA obvodů patří Altera (SRAM), Xilinx (SRAM), Lattice Semiconductor (SRAM) a Microsemi (flash, anti-fuse).

5

Realizace FSK modulátoru na FPGA

V této části je uveden postup návrhu a realizace FSK modulátoru. Od specifikace přes návrh až po konfiguraci obvodu, bylo postupováno dle obecně daného procesu návrhu číslicového systému, který ukazuje Obr. 5.1, s uvedenými nástroji pro návrh na FPGA od firmy Microsemi.



Obr. 5.1: Proces návrhu [Převzato s úpravami z [8, 9]]

5.1 Specifikace zadání

Ve specifikaci jsou uvedeny přímo požadavky na FSK modulátor označeny jako FSK.# a požadavky BAL.#, které plynou z funkce balízy a týkají se FPGA.

V Tab. 5.1 jsou pak vypsány jednotlivé požadavky.

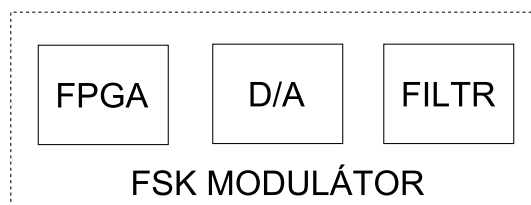
ID požadavku	Název požadavku	Popis požadavku
FSK.1	Rychlost přenosu dat v_p	564,48 kbit/s \pm 2,5%
FSK.2	Použitá modulace	FSK
FSK.3	Frekvence f_h pro log. „1“	4,516 MHz
FSK.4	Frekvence f_l pro log. „0“	3,951 MHz
BAL.1	Paměť telegramu	341/1023 bitů
BAL.2	Start odesílání telegramu po aktivaci	150 μ s

Tab. 5.1: Tabulka požadavků

5.2 Návrh a analýza

V této fázi je provedena diskuze nad výběrem prvků a celý systém je dekomponován do jednotlivých funkčních bloků.

Celý navrhovaný systém by se měl nejlépe skládat ze tří hlavních částí, což znázorňuje Obr. 5.2 a to z FPGA D/A převodníku a filtru.



Obr. 5.2: Zjednodušené blokové schéma FSK modulátoru

5.2.1 Výběr FPGA

Vzhledem k zadání této práce (použití hradlových polí) a požadavkům na systém (rychlost odeslání telegramu po aktivaci balízy) se výběr vhodného hradlového pole značně omezuje, na použití FPGA založené na flash nebo anti-fuse technologii. Světovým lídrem ve výrobě flash technologie je společnost Microsemi, ve svém portfoliu má i anti-fuse technologii.

Navrhovaný systém na těchto technologiích funguje téměř okamžitě po náběhu napájení (50 μ s, výrobce tuto funkci označuje jako LAPU - Live At Power Up). Tímto navrhovaným řešením je splněn požadavek BAL.2 z Tab. 5.1.

Aby se mohlo rychle experimentovat na FPGA, nepřichází v úvahu použití anti-fuse technologie, ale flash technologii. Microsemi má ve své nabídce čtyři řady hradlových polí založené na flash technologii a patří mezi ně:

- IGLOO®,
- ProASIC®3,
- SMARTFUSION®,
- Fusion®,

IGLOO® je tzv. ultra-low power FPGA, které vyniká i svojí „velikostí“, nejmenší čip z této řady má rozměr 3 x 3 mm. Použití těchto FPGA může být například v přenosných zařízeních jako je kamera nebo fotoaparát.

Tzv. low power a low cost je ProASIC®3 oproti předchozímu má vyšší spotřebu a jinak se v podstatě neliší ani tím, že má v sobě flash ROM o velikosti 1024 bitů.

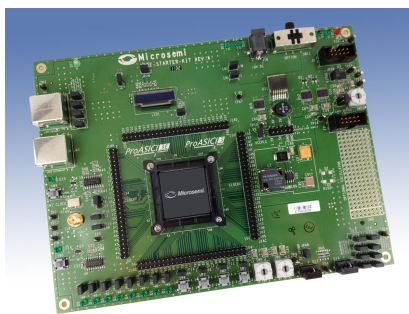
Odlíšnou kategorií jsou čipy SMARTFUSION® a Fusion®, které v sobě mají např. A/D převodníky a integrované oscilátory.

Typ	IGLOO®	ProASIC®3	SMARTFUSION®	Fusion®
Přehled	ultra-low power	low power	mixed desing	mixed design
Počet hradel	15k–3M	10k–3M	6–200k	1,5M
I/O piny (max)	620	620	204	252
Spotřeba [μ W]	2–5	0,4 - 3	–	–
f_{max}	350	350	350	350
Cena [\$/ks]	6–200	6–200	15–61	60–400

Tab. 5.2: Řady Microsemi flash FPGA

Pro všechny uvedené řady jsou k dispozici vývojové kity, které mimo samotné FPGA obsahuje od oscilátorů, tlačítek až po externí paměti, USB rozhraní atd.

Jako vývojový kit pro návrh byl vybrán ProASIC®3 Starter Kit, který je vidět na Obr.5.3



Obr. 5.3: Vývojový kit |Převzato z [7]|

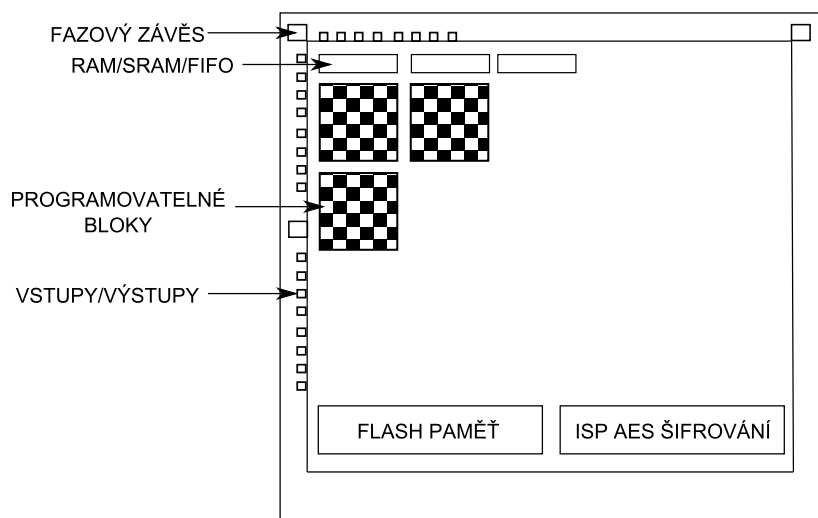
Tento přípravek obsahuje:

- typ FGPA - ProASIC®3 A3PE1500,
- patice pro možnost připojení jiných FPGA + vyvedení všech pinů,
- 40 MHz oscilátor + možnost připojení vlastních hodin,
- 8 LED diod, 4 spínače, OLED display.

Vlastnosti FPGA ProASIC®3 A3PE1500:

- 1 500 000 ekvivalentních hradel,
- 38 400 klopných obvodů,
- 1024 bit flash paměť,
- 6 fázových závěsů,

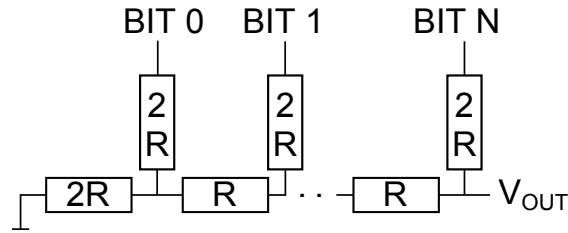
Na Obr. 5.4 je zjednodušená architektura FPGA ProASIC®3.



Obr. 5.4: Architektura ProASIC®3

Výběrem tohoto FPGA je možné vyřešit požadavek BAL.1 z Tab. 5.1, který řeší potřebnou paměť pro uchování telegramu balízy tím, že místo externí flash paměti lze využít programovatelnou flash paměť přímo v čipu.

Spolu s vývojovým kitem je k dispozici i integrované vývojové prostředí Libero SoC, které sdružuje programy, jež provádí celým procesem návrhu. Všechny informace zahrnující nabídku, katalogové listy, návody a programové vybavení jsou k dispozici na internetových stránkách výrobce viz [7] a jsou také k dispozici na přiloženém CD.



Obr. 5.5: R2R D/A převodník

5.2.2 Výběr D/A převodníku a filtru

Pro otestování modulátoru bude nejvhodnější pracovat s R2R D/A převodníkem, jehož zapojení je na Obr. 5.5

Návrh filtru zde není řešen.

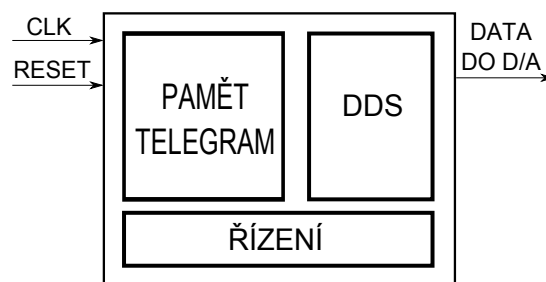
5.2.3 Volba pro popis návrhu

Návrh číslicového systému lze řešit graficky neboli schématem, kdy použijeme knihovny součástek. Tím je však řešení vázáno na danou technologii a stává se tak obtížně přenositelné. Opakem toho je popis pomocí některého programovacího jazyka pro popis hardware tzv. HDL jazyk. Mezi ně patří např. jazyky jako VHDL, Verilog a ABEL.

Rozdíl mezi schématickým a použitím HDL prostředku není nutné porovnávat, a tak volba prostředku pro návrh zcela směřuje pro použití VHDL i vzhledem k tomu, že není dán přesný typ hradlového pole, na kterém se má systém implementovat.

5.2.4 Návrh bloků FSK modulátoru na FPGA

Pro přehlednost a flexibilitu návrhu je vhodné rozdělit blok, který bude realizován na FPGA do jednotlivých částí. Na Obr. 5.7 je znázorněn návrh, který je cílem realizovat.



Obr. 5.6: Blokové schéma návrhu komponentů na FPGA

Hlavní částí je blok s DDS, kde se syntetizují oba dva kmitočty, dále je blok řízení. A pro otestování funkčnosti modulace, bude nutné číst paměť s daty, která se odesílají.

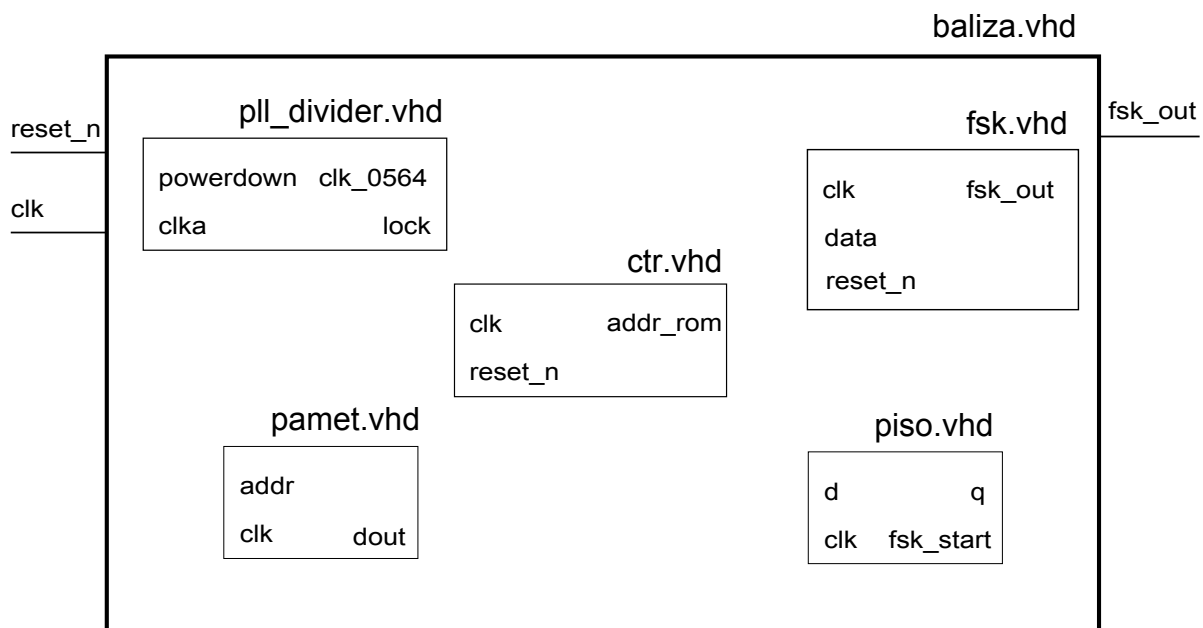
5.3 Realizace návrhu

V této části jsou popsány jednotlivé prvky z návrhu, které jsou realizovány na FPGA, spolu s výsledky z funkčních simulací. Syntetizovatelné zdrojové kódy návrhu a testovacích prostředí (testbenchů/stimulů) jsou k dispozici na příloženém CD, jež je nedílnou součástí této práce.

V realizaci návrhu je uvedeno několik použití makrobloků (fázový závěs, inicializace flash paměti), které jsou vázány na danou technologii i typ FPGA. Zkomplikuje se tím tak přenositelnost, ale tím, že jsou makrobloky ušité přímo na danou technologii nehrozí zde žádný závažný problém s implementací a funkčností.

Celková realizace je na Obr. 5.7, kde hlavní je blok *fsk.vhd* a jeho vytvoření bylo cílem této práce. Ostatní bloky jsou realizovány z důvodu otestování FSK modulace, ale mohou však být alternativním řešením, jež má na starosti řízení balízy. Samotným blokem řízením balízy se pak zabývá diplomová práce [11], která byla paralelně zadána s touto diplomovou prací.

Celý systém využívá kmitočtu 40 MHz a je použit oscilátor, který je součástí vývojového kitu.



Obr. 5.7: Blokové schéma FSK modulátoru

5.3.1 FSK

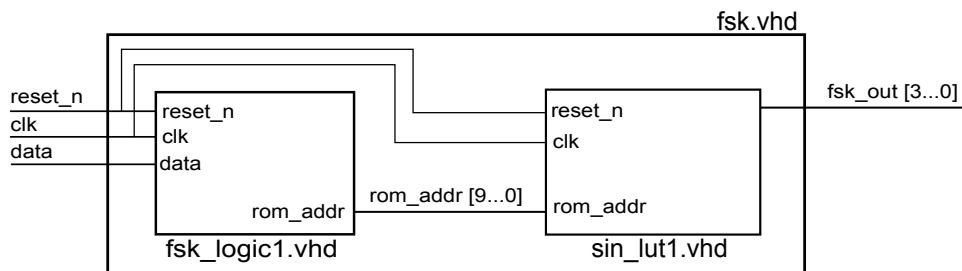
Tento blok je založen na principu DDS a generuje signály, které po průchodu D/A převodníkem odpovídají požadovaným frekvencím FSK modulace. Tato část je navržena s generickými koeficienty, které zajišťují rychlou parametrizaci bitových šířek jednotlivých signálů, pro ladění a testování různých variant.

Obě frekvence jsou generovány v jednom bloku FSK a modulační signál, který představuje data telegramu ovládá multiplexer, který střídá přírůstky fáze, a tím pádem se generují dvě frekvence.

Tento blok byl vytvořen ve dvou verzích.

- zdrojové soubory verze 1: *fsk.vhd*, *fsk_logic_v1.vhd*, *sin_lut_v1.vhd*, *tb_fsk.vhd*
- zdrojové soubory verze 2: *fsk.vhd*, *fsk_logic_v2.vhd*, *sin_lut_v2.vhd*, *tb_fsk.vhd*

Blokové schéma na Obr. 5.8 znázorňuje jednotlivé komponenty první verze bloku FSK, pro přehlednost i s názvy vstupních/výstupních portů.



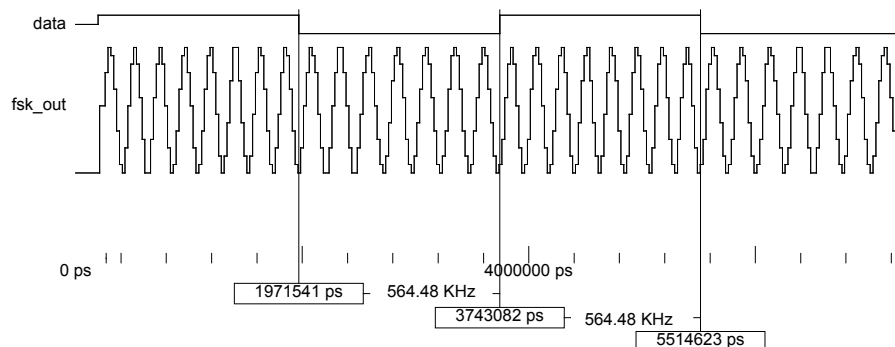
Obr. 5.8: Blokové schéma 1. verze bloku FSK

Pro požadované frekvence 3,951 MHz a 4,516 MHz byl zvolen jako nejmenější krok 1 kHz. A ze vztahu pro minimální výstupní frekvenci

$$f_{res} = \frac{f_{clk}}{2^M} \Rightarrow M \approx 16, \quad (5.1)$$

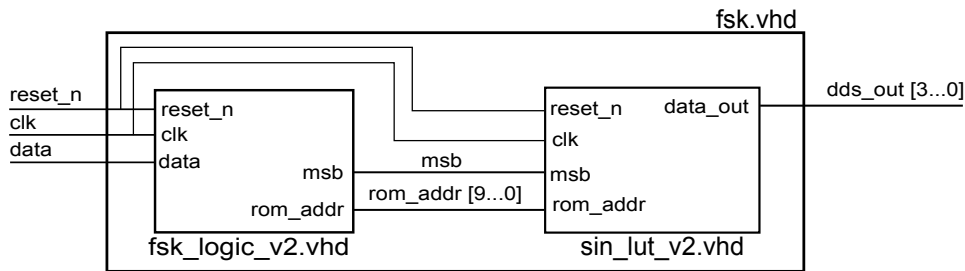
vyplývá, že bitová šířka fázového akumulátoru musí být alespoň 16 bitů. Adresa LUT tabulky byla zvolena 10 bitová. Výstup na D/A převodník byl po konzultaci zvolen jako 4 bitový, vzhledem k pozdějšímu snadnému testování.

Funkční simulace na Obr. 5.11 znázorňuje generování FSK modulace první verze, kde signál *data* představuje data telegramu a zároveň také modulační signál a signál *fsk_out* výstup. Log. „1“ odpovídá 8 period a log. „0“ odpovídá 7 period výstupního signálu. Dle této simulace lze říci, že v této fázi návrhu výstup odpovídá požadavkům.



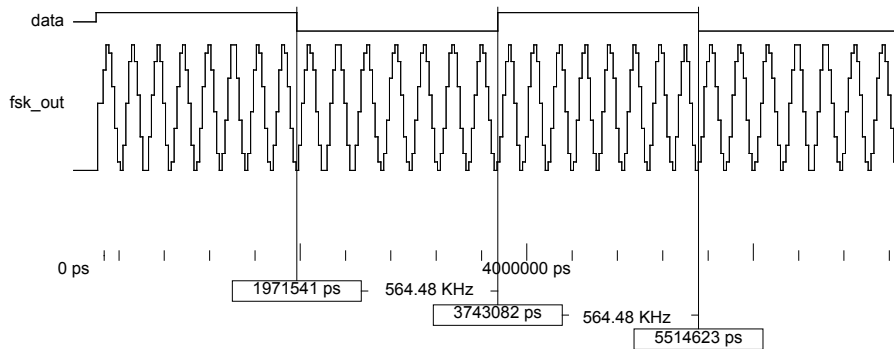
Obr. 5.9: Funkční simulace 1. verze

Druhá verze byla vylepšena, zmenšením LUT tabulky na jednu čtvrtinu, kde bylo využito symetrie sinusového průběhu. Pomocí dvou horních bitů se mění čítání adresy a invertování sinusového průběhu. Tato možnost redukce byla uvedena v [1].



Obr. 5.10: Blokové schéma 2. verze bloku FSK

Výsledek funkční simulace druhé varianty je na Obr. 5.11



Obr. 5.11: Funkční simulace 2. verze

Po syntéze těchto dvou variant je možné provést srovnání, které shrnuje Tab.5.3

Varianta	Verze 1	Verze 2
Počet klopných obvodů	172/38 400	103/38 400

Tab. 5.3: Porovnání 2 variant DDS

Vygenerování LUT tabulek s uloženými hodnotami, bylo pomocí MATLABu.

- zdrojový soubor: *sin_lut_full.m*

Další popis se týká bloků, které jsou primárně určeny pro testování FSK modulace, ale jak již bylo uvedeno mohou být jednou z alternativ při řešení řízení balízy na FPGA.

5.3.2 Řízení

Tento blok má na starosti generování adresy pro čtení telegramu, který je uložený v paměti. Vzhledem k parametrům interní paměti na FPGA, je navrhnout čítač, který postupně inkrementuje adresu do hodnoty 128. Po dosažení této hodnoty se cyklus opakuje.

- zdrojové soubory: *ctr.vhd*, *tb_ctr.mem*

5.3.3 Paměť s telegramem

Pro tento blok je využita flash paměť, která je přímo na FPGA. Tato nevolatilní paměť označovaná výrobcem jako FROM (FlashROM) má velikost 1024 bitů s logickou organizací osmi stránek o 16 bytech. Čtení, zápis a případná změna paměti může být provedena jen pomocí JTAGu, samotným FPGA lze pouze číst obsah paměti, bez možnosti změny či zápisu. Maximální pracovní frekvence paměti je 15 MHz.

Z předchozího odstavce vyplývá, že pro adresaci dat je potřeba sedmi bitové adresy, kdy prvními třemi bity adresujeme jednu z osmi stránek a dalšími čtyřmi bity jeden ze šestnácti bytů. Výstupní data mají velikost 8 bitů.

Ve fázi návrhu a simulace, je nejlepší pracovat s pamětí pomocí vývojového prostředí Libero SoC, kde je připraven makroblok určený pro návrh paměti. Použitím tohoto makrobloku se vytvoří zdrojové soubory *.vhd a *.mem. První z nich obsahuje inicializaci entity včetně portů a přílinkování dat, která budou v paměti. Samotná data je možné nastavit pomocí téhož makrobloku nebo vlastním vytvořením *.mem souboru, to platí pouze u simulace.

Při samotném nahrávání do FPGA je možné měnit jen obsah FROM paměti bez změny ostatní logiky.

- zdrojové soubory: *pamet.vhd*, *pamet.mem*

5.3.4 Fázový závěs a dělič kmitočtu

Pro časování výstupní rychlosti modulačního signálu, která je 564,48 kbit/s je nutné použít fázový závěs. Pomocí tohoto makrobloku lze vygenerovat frekvence v rozsahu 0,75–350 MHz.

Vstupními signály PLL jsou hodiny s frekvencí 40 MHz (oscilátor na vývojovém kitu) a reset, který je ovládán tlačítkem.

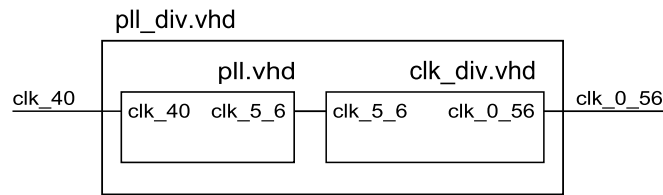
Ve výsledku fázový závěs generuje signál o frekvenci 5,644 MHz, který musí být ještě dělen deseti na požadovanou frekvenci 564,48 kHz. Obrázek 5.12 ukazuje blokové schéma fázového závěsu spolu s děličem kmitočtu.

- zdrojové soubory: *divider_clk.vhd*, *pll40.vhd*, *pll_divider.vhd*

Makroblok fázového závěsu dále generuje výstupní signál s názvem „locked“, který signalizuje zachycení fázového závěsu. Tento signál je efektivně využit pro spouštění ostatní logiky, která „stojí“ do doby než se zachytí fázový závěs.

5.3.5 Převodník z paralelních dat na sériová - PISO

Výstupní sběrnice z paměti je osmi bitová a jelikož je implementovaná FSK modulace s binárním modulačním signálem, je nutné zařadit blok, který převádí paralelní data na sériová.



Obr. 5.12: Blokové schéma zapojení PLL a děličky

Tento blok je realizovaný jako synchronní posuvný registr, do nějž vstupují osmibitová data na jedné straně a následně s každým impulsem hodin vysouvána bit po bitu.

Data jsou synchronně přednastavována zároveň s vysouváním posledního bitu bloku PISO, tzn. po osmi impulsích hodinového signálu.

Dalším výstupem tohoto bloku je signál „fsk_start“, který spouští blok fsk modulátoru.

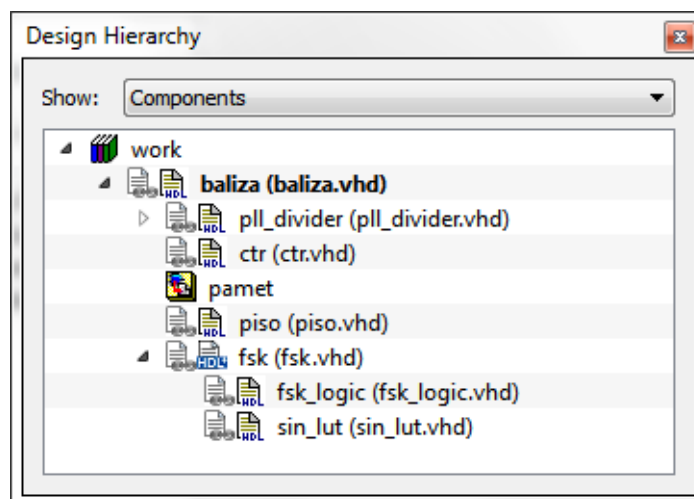
- zdrojové soubory: *piso.vhd*, *tb_piso.mem*

5.4 Celkové řešení

Téměř o „vše“ se po zachycení návrhu stará vývojové prostředí, v našem případě Libero SoC.

Postup jak projít návrhem číslicového systému je uveden v dokumentu, který byl vytvořen pro rychlejší proniknutí do tohoto vývojového prostředí a je součástí příloženého CD.

Na Obr. 5.13 je znázorněna struktura návrhu ve vývojovém prostředí Libero SoC.



Obr. 5.13: Celkový projekt v Libero SoC

Jednu z věcí, kterou je však nutné ošetřit je přiřazení vstupních a výstupních vývodů k danému návrhu. Důležitým přiřazením je připojení oscilátoru na správný vývod FPGA, jelikož struktura čipu má v sobě rezervovaný rozvod hodin, který zajišťuje konstatní zpoždění hodinového signálu. Kromě výstupních signálů FSK modulátoru, byly dále pro

ověření vlastností vyvedeny signály sériových dat, signalizace zavěšení fázového závěsu rozsvícením zelené LED a reset byl vyveden na tlačítko. V Tab. 5.4 je uvedeno celkové přiřazení vývodů.

Označení	Vývod	Popis
FSK[0]	PIN 95	MSB FSK
FSK[1]	PIN 91	FSK
FSK[2]	PIN 87	FSK
FSK[3]	PIN 83	LSB FSK
CLK_40	PIN 26	vstup oscilátoru
RESET_N	PIN 67	reset na tlačítku
D_SER	PIN 21	výstupní data
LOCKED	PIN 63	zachycení pll
CLK_564	PIN 5	rychlost 564,48 kbit/s

Tab. 5.4: Přiřazení vývodů FPGA

Pomocí vývojového prostředí lze získat další parametry jako je spotřeba, maximální kmitočet hodin, využití hradlového pole aj. Všechny tyto parametry jsou uvedeny v Tab. 5.5.

Parametr	Hodnota
Počet klopných obvodů	256/38 400
Max. frekvence	217.2 MHz
Dyn. spotřeba	45,4 mW

Tab. 5.5: Parametry realizace

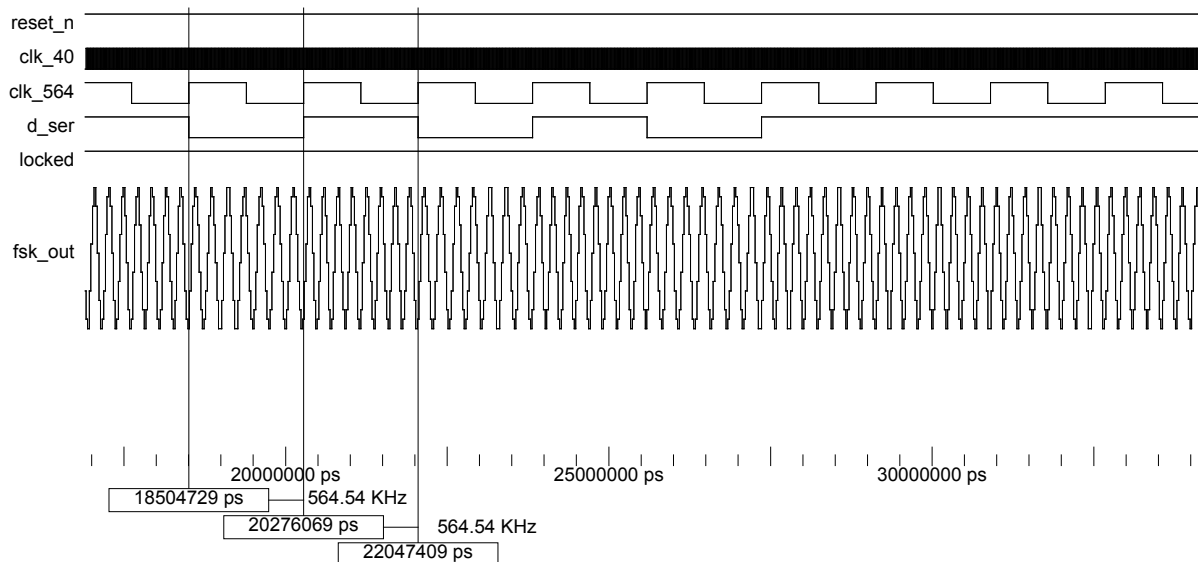
Celý návrh procházel vývojem, kdy nejprve byl k dispozici vývojový kit od firmy Altera. Tento kit nebyl příliš vhodný pro cílovou aplikaci, protože je osazen FPGA založeným na SRAM technologii. Nicméně první verze samotného fsk modulátoru se příliš nelišila, telegram byl uložen na flash paměti, která je umístěna na kitu.

Dalším zlomovým bodem byla možnost mít k dispozici vývojový kit od společnosti Microsemi, na které je návrh postaven a popsán. Tím se celý návrh mohl pozměnit a modifikovat. Během této fáze se vyskytlo několik problémů, kdy např. údaje o maximálním kmitočtu, na kterém pracuje interní flash paměť je mylně uváděna jako 40 MHz místo 15 MHz. Další změnou bylo oproti vývojovým prostředím např. od Altery, je uživatelské rozhraní, které není příliš přívětivé.

6

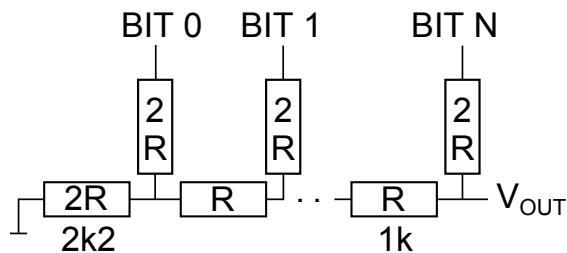
OVĚŘENÍ VLASTNOSTÍ

V průběhu celého návrhu byly pro ověření vytvářeny funkční simulace, bez kterých nelze návrh úspěšně implementovat. Simulace byly prováděny na samostatných blocích a i na celém systému. Obr. 6.1 ukazuje výsledek finální simulaci celého systému.



Obr. 6.1: Funkční simulace celého systému

Pro samotné ověření funkce požadovaných vlastností byl na výstupy FPGA připojen jednoduchý R2R 4 bitový D/A převodník. Hodnoty použitých rezistorů jsou zobrazeny na Obr. 6.2



Obr. 6.2: Použitý R2R D/A převodník

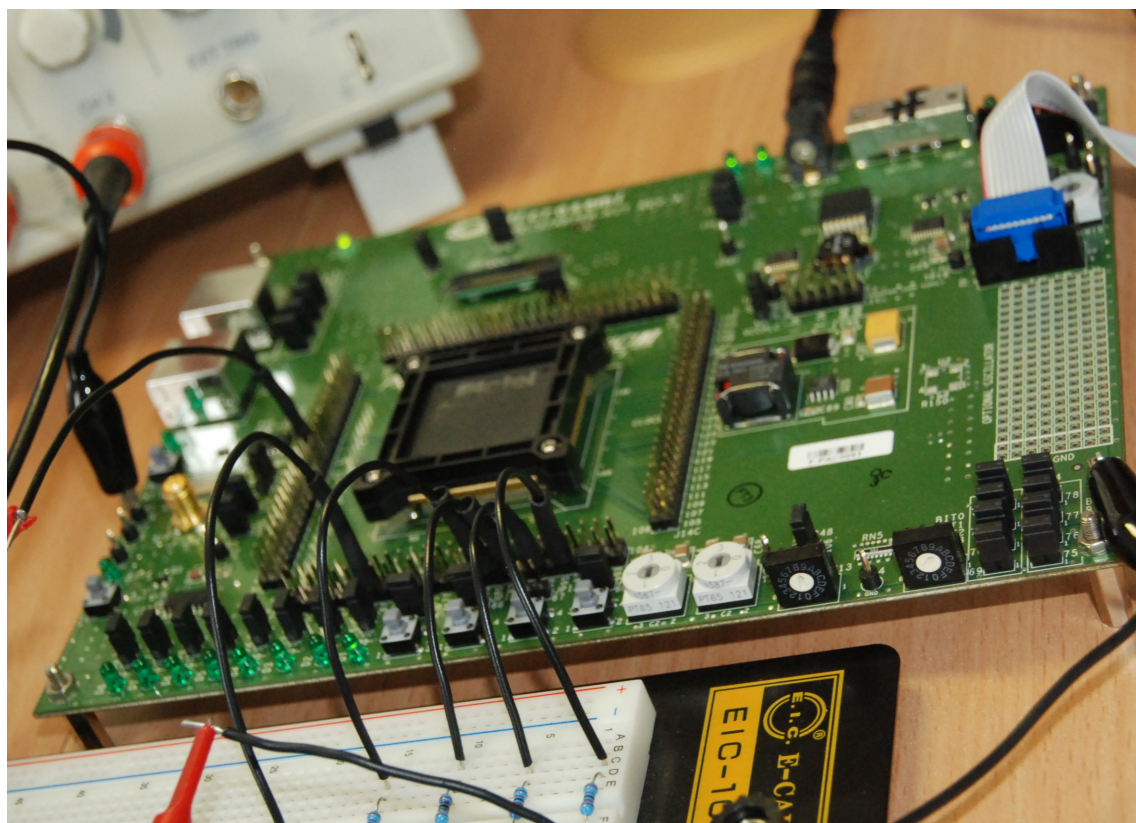
Testovací telegram uložený v paměti měl velikost 1023 bitů, obsah telegramu byl nahran jako log. „1“ a „0“ v poměru 1:1.

Na Obr. 6.3 je znázorněno blokové schéma, které ověřuje funkci FSK modulátoru. Měření bylo provedeno v časové i ve frekvenční oblasti, pomocí osciloskopu.

Tento laboratorní vzorek tedy obsahuje vývojový kit + D/A převodník což ukazuje Obr. 6.4 s fotografií.



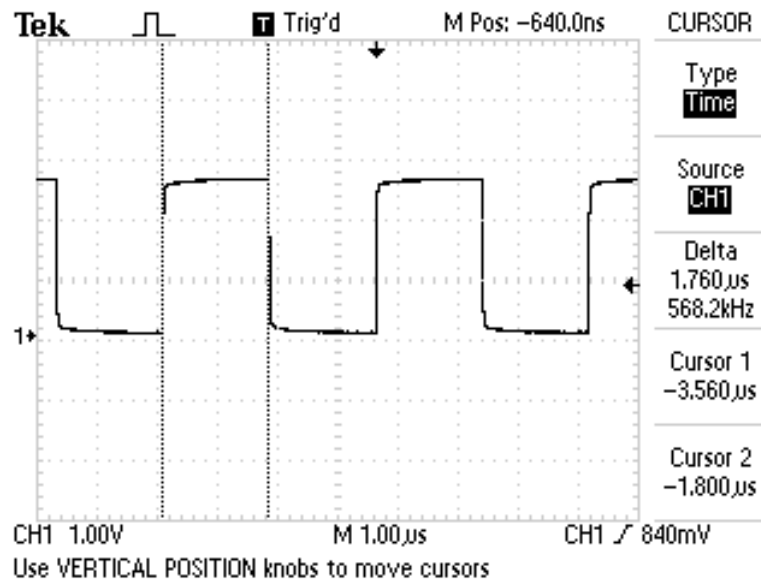
Obr. 6.3: Zapojení pro ověření funkce



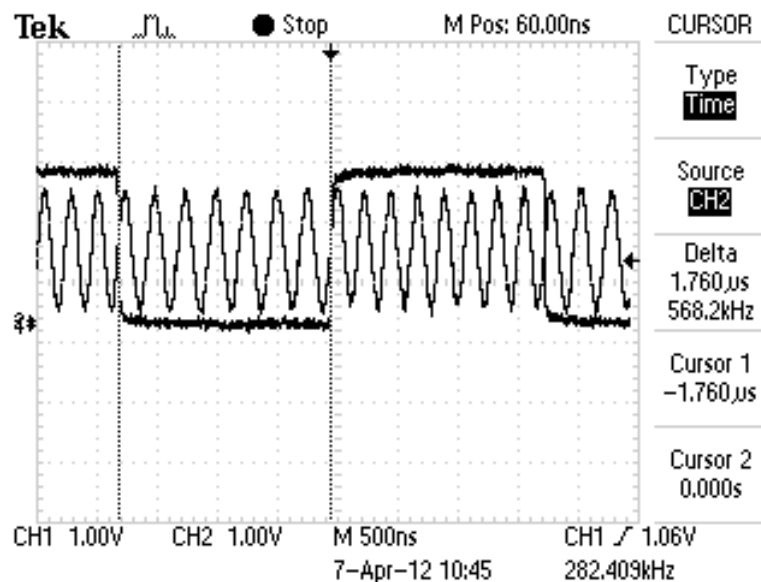
Obr. 6.4: Fotografie z měření

6.1 Časová oblast

Výstupem měření jsou Obr. 6.5 a Obr. 6.6, ze kterých lze říci, že požadavky FSK.1, FSK.2, FSK.3 a FSK.4 z Tab. 5.1 jsou splněny.



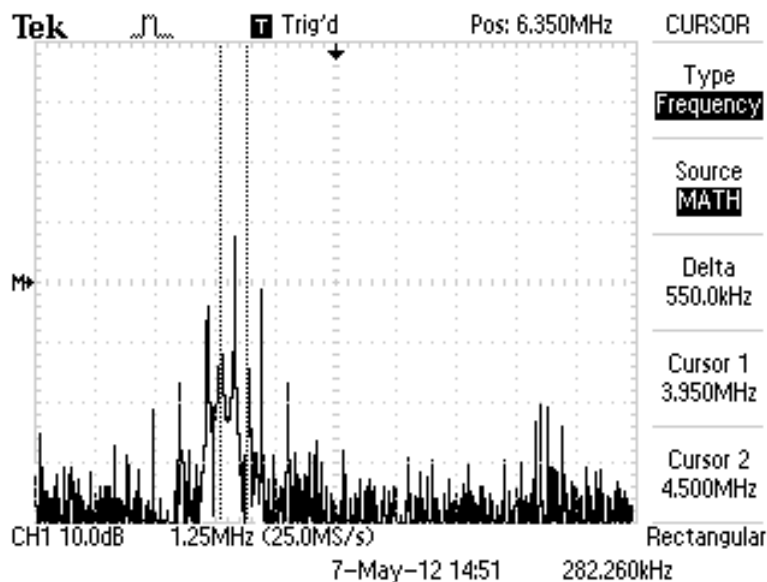
Obr. 6.5: Rychlost dat



Obr. 6.6: FSK modulace

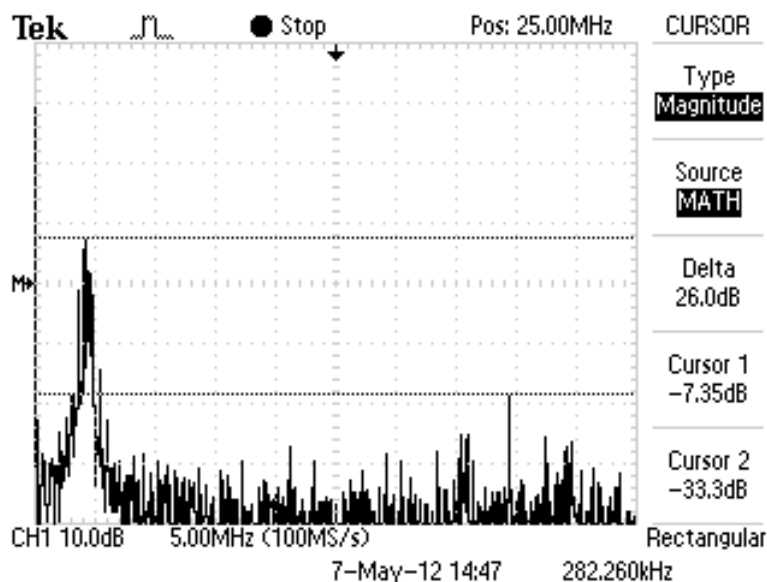
6.2 Frekvenční oblast

Pomocí osciloskopu bylo také změřeno spektrum a změřen odstup signálu od šumu. První Obr.6.7 znázorňuje, že jsou splněny požadavky FSK.3 a FSK.4.



Obr. 6.7: Frekvenční spektrum

Hodnota odstupu signálu od šumu je 26 dB, což odpovídá teoretické hodnotě, která vychází z Rov. 4.6, kde $SNR = -6,02N - 1,76 = 25,84 \text{ dB}$, to ukazuje Obr.6.8



Obr. 6.8: Frekvenční spektrum

V Tab. 6.1 je uveden seznam použitých přístrojů a přípravků.

Název	Typ
Vývojový kit FPGA	ProAsic Starter Kit
D/A	4 bit R2R
Osciloskop	TDS1002

Tab. 6.1: Seznam použitých přístrojů a přípravků

7

Závěr

Seznámení s Eurobalízou bylo provedeno v kapitole 3. Kapitola 4 se věnuje seznámením s FSK modulací a hradlovým polem, respektive přímé digitální syntéze.

V diplomové práci je dále popsán celý návrh číslicového systému, který je realizován na FPGA, tomuto se věnuje kapitola 5.

Samostatná kapitola 6 se věnuje ověření funkce.

Výsledky řešení diplomové práce lze stručně shrnout do následujících bodů:

- bylo provedeno seznámení s Eurobalízou a jejím začleněním v systému ETCS, z těchto poznatků pak vyplynuly požadavky na FSK modulátor
- byl vytvořen návrh FSK modulátoru pomocí VHDL
- byl implementován návrh FSK modulátoru na vývojovém kitu a následně otestován

Lze tedy konstatovat, že zadané body byly splněny a ověřeny.

Vzhledem k tomu, že FPGA založené na FLASH technologii od firmy Microsemi, nejsou zatím příliš využívány v našich podmínkách, tak jako SRAM FPGA od firem Altera nebo Xilinx. Bylo nutné seznámit se s vývojovým prostředím Libero SoC, a tak výstupem této práce je navíc přiložený postup od založení projektu až po nahrání konfigurace do FPGA.

Celkově lze shrnout, že realizace FSK modulátoru pro balízu na hradlovém poli i spolu s řízením, které bude realizováno hradlovým poli, by nemělo činit nepřekonatelné problémy.

Jako další vývoj FSK modulátoru je možné uvažovat modifikaci DDS například s pomocí CORDIC algoritmu. Dalšími zajímavými problémy k řešení u balízy je např. návrh bezdrátového naprogramování hradlového pole v balíze nebo realizace napájení, které využívá energii z lokomotivy.

Tato diplomová práce mi umožnila proniknout do oblasti FPGA, při výběru vhodného vývojového kitu a naučení se projít návrh v novém vývojovém prostředí, které není příliš zavedené.

Literatura

- [1] Cordesses, L. *Direct Digital Synthesis: A Tool for Periodic Wave Generation*. IEEE signal processing magazine, Červenec 2004.
- [2] Dobeš, J., Žalud, V. *Moderní radiotechnika*. Praha: BEN - technická literatura, 2006. ISBN 80-7300-132-2
- [3] ERTMS. *FFFIS for Eurobalise, SUBSET-036*. ERTMS, 2007.
- [4] Fajkus, M. *Modulace signálu a jejich vliv na spektrum signálu*. Ostrava, 2009. Bakalářská práce. VŠB – TECHNICKÁ UNIVERZITA OSTRAVA. Katedra telekomunikační techniky. Vedoucí práce Jan Skapa
- [5] Chudáček, J., kol. *Detekce kolejových vozidel v železniční zabezpečovací dopravě*. Praha: ČD – VÚŽ, 1999.
- [6] Chudáček, J., Jakl, J., Lochman, L. *Vlakové zabezpečovací systémy*. Praha: ČD – VÚŽ, 1999.
- [7] Microsemi. *Katalogové listy a technická dokumentace firmy Microsemi*. [online] [Cit. 16.4.2012]. Dostupné z <http://www.actel.com>.
- [8] Pinker, J., Poupa, M. *Číslicové systémy a jazyk VHDL*. Praha: BEN - technická literatura, 2006. ISBN 80-7300-198-5
- [9] Šťastný, J. *FPGA prakticky - Realizace číslicových systémů pro programovatelná hradlová pole* Praha: BEN - technická literatura, 2010. ISBN 978-80-7300-261-9
- [10] Vannka, J. *Direct Digital Synthesizers: Theory, Design and Applications*. Helsinky, 2000. Dizertační práce. Helsinki University of Technology. Department of Electrical and Communications Engineering.
- [11] Vicek, P. *Návrh řídicího jednotky pro Eurobalizu na hradlovém poli*. Plzeň, 2012. Diplomová práce. Západočeská univerzita. Katedra aplikované elektroniky a telekomunikací. Vedoucí práce Ivan Konečný
- [12] Wikipedia. *Wikipedia: Otevřená encyklopedie* [online] [Cit. 16.4.2012]. Dostupné z http://en.wikipedia.org/wiki/File:Siemens_Eurobalise.jpg

Příloha A

Obsah příloženého CD

\1-text

- obsahuje text práce PDF
- obsahuje naskenované zadání v PDF

\2-fw

- obsahuje zdrojové kódy

\3-dokumentace

- obsahuje postup práce s Libero SoC