

ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ
KATEDRA ELEKTRONIKY A INFORMAČNÍCH TECHNOLOGIÍ

DIPLOMOVÁ PRÁCE

Redundantní struktury v integrovaných obvodech
FPGA v prostředí ionizujícího záření

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2022/2023

ZADÁNÍ DIPLOMOVÉ PRÁCE

(projektu, uměleckého díla, uměleckého výkonu)

Jméno a příjmení: **Bc. Ondřej RŮŽIČKA**
Osobní číslo: **E21N0041P**
Studijní program: **N0714A060013 Elektronika a informační technologie**
Specializace: **Elektronika**
Téma práce: **Redundantní struktury v integrovaných obvodech FPGA v prostředí ionizujícího záření**
Zadávací katedra: **Katedra elektroniky a informačních technologií**

Zásady pro vypracování

1. Práce je zaměřena na spolehlivost firmware v obvodech FPGA s ohledem na Single Event Efekty způsobené ionizujícím zářením.
2. Seznamte se se způsoby návrhu a realizace redundantních číslicových systémů pro obvody FPGA, dále s vlivem ionizujícího záření na jednotlivé typy obvodů FPGA.
3. Proveďte rešerši jednotlivých způsobů realizace redundancí a jejich vlivu na spolehlivost návrhu.
4. Klasifikujte známá prostředí s ionizujícím zářením s ohledem na působení na vybrané typy obvodů FPGA.
5. Zvolte vhodný příklad s vybraným obvodem FPGA a typem ionizujícího záření a realizujte experiment.
6. Analyzujte získaná data z experimentu.

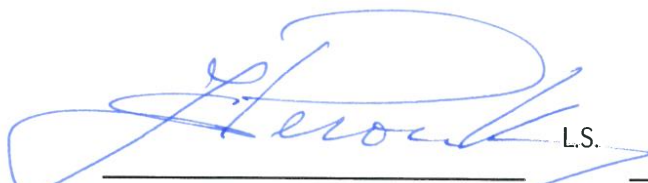
Rozsah diplomové práce: **40 – 60**
Rozsah grafických prací: **dle doporučení vedoucího**
Forma zpracování diplomové práce: **elektronická**

Seznam doporučené literatury:

1. Single Event Effects in Aerospace, Edward Petersen, ISBN: 978-0-470-76749-8.
2. Improving Reliability of Digital Systems by Redundancy and Adaption, William Henry Pierce.
3. A REDUNDANCY TECHNIQUE FOR IMPROVING THE RELIABILITY OF DIGITAL SYSTEMS, Knox-Seith, J. K.
4. Fault tolerant digital systems, V.B. Prasad, Print ISSN: 0278-6648, Electronic ISSN: 1558-1772.
5. <https://fit.cvut.cz/cs/studium/programy-a-obory/doktorske/dsp-informatika/obhajene-dizertace>
6. <https://www.fjfi.cvut.cz/cz/studium/doktorske-studium/archiv-doktorskych-praci>
7. https://training.ti.com/webinar-overcome-challenges-powering-fpgas-space-applications?HQS=sys-ind-ad-space21_spacepowerwebinar-exah-tr-ElectronicSpecifier_0126-tr&DCM=yes&dclid=CLip04Gg0PUCFRLtuwgd5ToNiA

Vedoucí diplomové práce: **Doc. Dr. Ing. Vjačeslav Georgiev**
Katedra elektroniky a informačních technologií

Datum zadání diplomové práce: **7. října 2022**
Termín odevzdání diplomové práce: **26. května 2023**


L.S.
Prof. Ing. Zdeněk Peroutka, Ph.D.
děkan


Doc. Ing. Jiří Hammerbauer, Ph.D.
vedoucí katedry

V Plzni dne 7. října 2022

Abstrakt

Spolehlivost obvodů FPGA v prostředí ionizujícího záření je důležitá především pro kritické aplikace a výzkum v prostředí se zvýšenou radiací. Jedním ze způsobů zvýšení spolehlivosti návrhů je použití redundantních struktur. Práce se zabývá vývojem měřicí platformy pro radiační testování hradlových polí PolarFire MPF300T. Poté návrhem, realizací a měřením kombinační logiky s modulární redundancí. Jako užitečná logika je popsána plná sčítačka. Pro zvýšení spolehlivosti je použita lichá modulární redundance. V závěrečné sekci jsou nasbíraná data vyhodnocena a formulována možná vylepšení pro budoucí experimenty.

Klíčová slova

FPGA, modulární redundance, SEE, spolehlivost, radiační odolnost, ionizující záření

Abstract

The reliability of FPGAs in ionizing radiation environments is particularly important for critical applications and research in environments with high levels of radiation. One way to increase the reliability of designs is to use redundant structures. This thesis focuses on the development of the PolarFire MPF300T gate array radiation measurement platform. Then the design, implementation and measurement of combinational logic with modular redundancy. A full adder is described as useful logic. To increase reliability, odd modular redundancy is used. The collected data is evaluated in the final section and possible improvements for future experiments are formulated.

Keywords

FPGA, modular redundancy, SEE, reliability, radiation endurance, ionizing radiation

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem svou závěrečnou práci vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 270 trestního zákona č. 40/2009 Sb.

Také prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne May 25, 2023

Bc. Ondřej Růžička

.....

Podpis

Obsah

Seznam obrázků	vii
Seznam tabulek	viii
Seznam symbolů a zkratek	ix
1 Úvod	1
2 Ionizující záření	2
2.1 Druhy ionizujícího záření	2
2.1.1 Záření Alfa	2
2.1.2 Záření Beta	3
2.1.3 Záření Gama	3
2.1.4 Rentgenové záření	4
2.1.5 Neutronové záření	4
3 Single Event Efekty	5
3.1 Destruktivní SEE	5
3.1.1 Single Event Latch-up (SEL)	6
3.1.2 Single Event Snapback (SESB)	6
3.1.3 Single Event Hard Errors (SEHE)	6
3.1.4 Single Event Dielectric Rupture (SEDR)	6
3.1.5 Single Event Gate Rupture (SEGR)	7
3.1.6 Single Event Burnout (SEB)	7
3.2 Nedestruktivní SEE	7
3.2.1 Single Event Upset (SEU)	7
3.2.2 Single Event Disturb (SED)	7
3.2.3 Single Event Transient (SET)	7
3.2.4 Single Event Functional Interrupt (SEFI)	8
4 Redundance v digitálních obvodech	9
4.1 Redundance v prostoru	9
4.1.1 Lichá redundance	9

4.1.2	Sudá redundance	10
4.2	Redundance v čase	10
4.3	Duální logika	11
5	Návrh a realizace experimentu	12
5.1	Testovaný logický vzor	12
5.2	Hlasovací obvod	13
5.3	Zachycení událostí	14
6	Měřicí přípravek	16
6.1	Struktura zapojení	16
6.2	Návrh desky plošného spoje	17
7	Sběr dat	20
8	Měření na urychlovači ICE II v Los Alamos	21
9	Měření na urychlovači SPS v CERN	24
10	Vyhodnocení dat	28
10.1	Statistické zpracování dat	28
10.1.1	Způsob vyhodnocení	28
10.1.2	Histogram počtu chyb na měřených kanálech	28
10.1.3	Histogram počtu chyb na clusterech logiky	30
10.1.4	Histogram selhání majoritního obvodu	31
10.1.5	Doba mezi chybami a MTBF (Mean time between failures)	32
10.1.6	Anomálie při měření	33
10.2	Lokalizace chyb na čipu	34
10.3	Určení energie neutronů	35
11	Možná vylepšení	38
11.1	Vylepšení měřicího přípravku	38
11.2	Vylepšení Tester firmware	38
11.3	Vylepšení DUT firmware	39
12	Závěr	40
	Reference, použitá literatura	42
	Přílohy	45
A	Schéma testovací desky	45

Seznam obrázků

2.1	Vznik záření alfa. Převzato z [2]	2
2.2	Vznik záření beta. Převzato z [6]	3
2.3	Vznik záření gama. Převzato z [8]	4
3.1	Vznik single event efektu. Převzato z [13]	5
4.1	Principiální schéma liché redundance s majoritním obvodem. Převzato z [19]	10
4.2	Principiální schéma sudé redundance. Převzato z [19]	10
5.1	Blokové schéma obvodu DUT	14
6.1	Blokové schéma desky pro testování TMR	17
6.2	Navržená a vyrobená deska pro testování TMR	19
8.1	Umístěná a zaměřená deska před otevřením závěrky svazku v LANSCE . .	22
8.2	Data z pixelového detektoru umístěného před DUT FPGA - neutrony v Los Alamos	23
9.1	Umístěná a zaměřená deska před otevřením závěrky svazku v SPS CERN .	25
9.2	Data z pixelového detektoru umístěného před DUT FPGA - fragmenty v SPS CERN	26
9.3	Data z pixelového detektoru umístěného před DUT FPGA - těžké ionty olova v SPS CERN	27
10.1	Histogram počtu chyb 5MR na měřených kanálech pro data z LANL	29
10.2	Histogram počtu chyb 5MR na měřených kanálech pro data z SPS	29
10.3	Histogram počtu chyb 5MR na logických clusterech pro data z LANL . . .	30
10.4	Histogram počtu chyb 5MR na logických clusterech pro data z SPS	30
10.5	Histogram selhání majoritního obvodu 5MR pro data z LANL	31
10.6	Histogram selhání majoritního obvodu 5MR pro data z SPS	31
10.7	Doba mezi chybami obvodu 5MR pro data z LANL	32
10.8	Doba mezi chybami obvodu 5MR pro data z SPS	33
10.9	Lokalizace chyb na čipu - LANL	34
10.10	Lokalizace chyb na čipu - SPS - Fragmenty	34

10.11	Lokalizace chyb na čipu - SPS - Těžké ionty olova	35
10.12	Lokalizace chyb na čipu - SPS - Těžké ionty olova	35
10.13	Princip určení energie neutronů z doby letu (Time of Flight). Převzato z [20]	36
10.14	Změřená doba letu neutronů (Time of Flight)	37
10.15	Změřená energie neutronů	37

Seznam tabulek

11.1 Porovnání různých druhů redundance	39
---	----

Seznam symbolů a zkratek

FPGA	Field Programmable Gate Array
SEE	Single Event Effect
SEL	Single Event Latch-up
SESB	Single Event Snapback
SEHE	Single Event Hard Error
SEDR	Single Event Dielectric Rupture
SEGR	Single Event Gate Rupture
SEB	Single Event Burnout
SEU	Single Event Upset
SED	Single Event Disturb
SET	Single Event Transient
SEFI	Single Event Functional Interrupt
SBU	Single Bit Upset
MBU	Multiple Bit Upset
TMR	Triple modular redundancy
VHDL	VHSIC Hardware Description Language
DUT	Device Under Test
BGA	Ball Grid Array
FTDI	Future Technology Devices International Limited
USB	Universal Serial Bus
UART	Universal Asynchronous Receiver-Transmitter
SFP	Small Form-factor Pluggable
GPIO	General Purpose Input-Output
HSIO	High Speed Input-Output
SPI	Serial Peripheral Interface
ICE	Irradiation of Chips Electronics
SPS	Super Proton Synchrotron
CERN	Conseil Européen pour la recherche nucléaire
MTBF	Mean time between failures
LE	Logic element

1

Úvod

První část práce se zabývá rešerší, teoretickým popisem a rozdělením ionizujícího záření. V návaznosti na to jsou zde popsány SEE (Single event efekty). Druhá část rešerše se věnuje metodám a aplikaci redundantních struktur v digitálních obvodech. Na základě těchto podkladů je následně navržen experiment pro měření spolehlivosti redundantních struktur v obvodech FPGA v prostředí se zvýšeným množstvím ionizujícího záření.

Cílem práce je navržený experiment zrealizovat jak z hlediska testovaného firmware, který implementuje redundantní struktury, tak i z hardwarového pohledu. Jako testované FPGA byl zvolen obvod PolarFire MPF300T. Stejný obvod byl zvolen i jako testovací, pro sběr dat. Oba dva tyto obvody by měly být umístěny na jedné desce plošných spojů. Systém by měl být určen pro měření na svazku částic, je tedy vhodné návrh provést co nejvíce kompaktní a samostatný. Do testovaného obvodu je možné nahrávat různé druhy firmware a testovat různé druhy redundantních struktur.

Tato práce se bude zaměřovat na návrh a testování redundantních struktur v kombinační logice. Všechny testované struktury by tak měly být čistě kombinační logické funkce.

Pro ověření skutečného vlivu použití redundantních struktur na spolehlivost systému by v rámci práce mělo proběhnout měření na svazku částic. Nashbíraná data budou následně vyhodnocena a na jejich základě stanoven přínos použití redundantních struktur v systémech.

Zvolené FPGA má poměrně velký počet pinů a logických elementů. Z tohoto důvodu se nabízí použití několika clusterů (shluků) testovaných bloků. Tyto bloky budou na čipu rozmístěny v oddělených fyzických pozicích. Bude tedy probíhat testování několika redundantních systémů zároveň. Tento přístup zároveň umožní určitou formu lokalizace chyby na čipu.

2

Ionizující záření

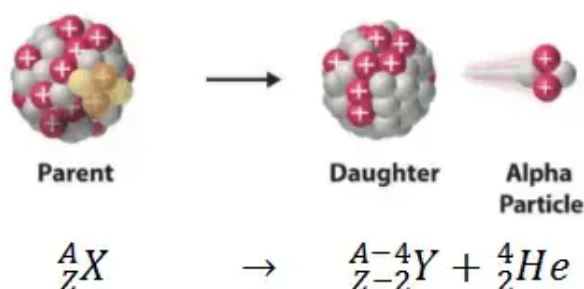
První kapitola se zabývá popisem a základním dělením ionizujícího záření. Ionizující záření je souborné označení pro záření, jehož kvanta mají energii na to, aby přímo či nepřímo odtrhovaly (tj. ionizovaly) podél své dráhy elektrony z elektronového obalu atomů. [1] Dále budou stručně popsány základní druhy ionizujícího záření a princip jejich vzniku.

2.1 Druhy ionizujícího záření

2.1.1 Záření Alfa

Záření α je tvořeno proudem jader helia-4. Při vyslání tohoto záření se změní protonové číslo prvku o dvě, z jádra tedy ubudou dva protony a dva neutrony. Toto záření mohou vysílat jen prvky s nukleonovým číslem větším než 200. [3]

Alfa částice se pohybují poměrně pomalu a mají malou pronikavost, ale zato mají silné ionizační účinky na okolí. [4] Může být odstíněno i listem papíru.

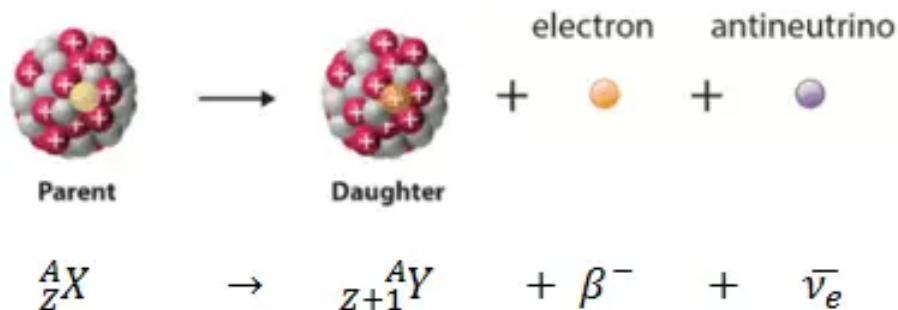


Obr. 2.1: Vznik záření alfa. Převzato z [2]

2.1.2 Záření Beta

Záření β je tvořeno proudem elektronů β^- nebo pozitronů β^+ , které vznikají při radioaktivním rozpadu. Vzhledem k tomu, že nesou elektrický náboj, je jejich pohyb ovlivňován elektrickým i magnetickým polem. Beta záření vzniká při beta přeměnách radioaktivních jader. Při těchto přeměnách zůstává počet nukleonů v jádře stejný, pouze se neutron změní na proton (beta minus přeměna) nebo proton na neutron (přeměny beta plus a elektronový záchyt). Tyto přeměny jsou doprovázeny emisí elektronu a antineutrína nebo pozitronu a neutrína. [5]

Tyto částice mají větší pronikavost než záření alfa, může pronikat tenkými materiály nebo materiály s nízkou hustotou. K jeho odstínění stačí vrstva vzduchu silná 1 m nebo kovu o šířce 1 mm. [5]



Obr. 2.2: Vznik záření beta. Převzato z [6]

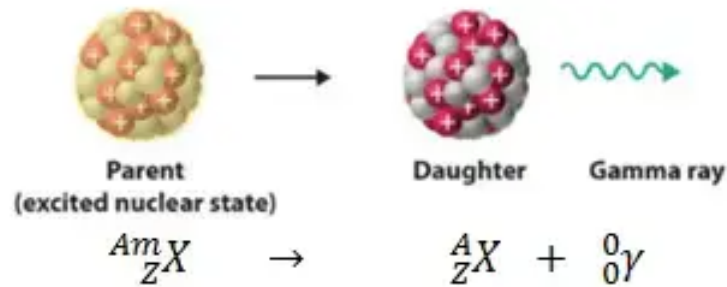
2.1.3 Záření Gama

Záření γ je tvořeno fotony, které mají větší energii než 10 keV. Frekvence tohoto záření je tedy vyšší než 10^{19} Hz. Radionuklid vyzařující záření tedy nemění protonové ani nukleonové číslo, přechází pouze do stavu s nižší energií. [7] Vzhledem k tomu, že jde o fotony, záření gama nemá žádný elektrický náboj. Neodchyluje se tedy od svého směru ani v elektrickém, ani v magnetickém poli. Energie fotonu záření se určí podle následujícího vzorce:

$$E = h \frac{c}{\lambda} \quad (2.1)$$

Kde E je energie fotonů (J), h je planckova konstanta (Js), c je rychlost šíření elektromagnetického záření ve vakuu (m/s) a λ je vlnová délka záření (m).

Do materiálů proniká záření gama vzhledem ke své povaze mnohem lépe, než záření alfa nebo záření beta. [9] Stínění gama záření je obtížnější než u předchozích dvou. Vhodné jsou materiály s vyšším atomovým číslem a s vysokou hustotou.



Obr. 2.3: Vznik záření gama. Převzato z [8]

2.1.4 Rentgenové záření

Rentgenové záření je ze své fyzikální podstaty stejné jako záření gama, ale liší se ve vlnových délkách a především ve způsobu vzniku. Vlnové délky tohoto záření jsou v rozmezí 10 nm až 1 pm (gama záření má vlnové délky kratší než 124 pm). Foton rentgenového záření vzniká při interakcích vysoce energického elektronu, kdežto záření gama při procesech uvnitř jádra atomu. [10]

Z pohledu energie se rentgenové záření dělí na záření měkké a tvrdé. Záření s vlnovými délkami většími než 100 pm se nazývá měkké, záření s kratšími vlnovými délkami se nazývá tvrdé.

2.1.5 Neutronové záření

Neutronové záření je tvořeno proudem volných neutronů. Tyto neutrony se uvolňují při jaderném štěpení, fúzi, nebo dalších jaderných reakcích. Významných zdrojů neutronů není mnoho a taková zařízení obvykle dosahují velkých rozměrů, jako například v případě jaderných reaktorů nebo urychlovačů částic. [11] Neutronové záření způsobuje nepřímou ionizaci. Záření samo o sobě nemá náboj, nicméně neutronové reakce jsou vysoce ionizující.

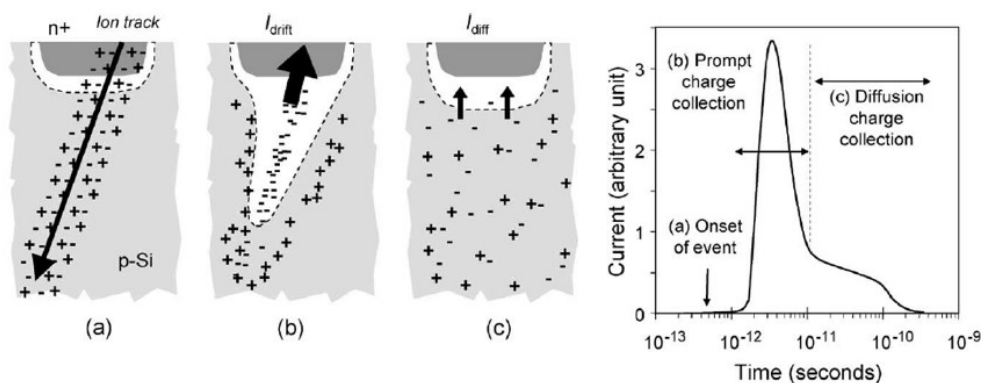
Neutrony nenesou náboj a energii tedy ztrácejí pouze srážkami s jádry. Ty ale zaujmají jen minimum objemu látky. Díky této vlastnosti mají neutrony obrovskou pronikavost, mnohem větší než částice alfa nebo beta, v některých případech i než záření gama. K ochraně před neutronovým zářením proto nevolíme olovo, ale materiály obsahující jádra vodíku a lehkých prvků (voda, těžká voda, parafin, beton atd.).[12]

3

Single Event Efekty

Single event efekty (SEE), jednorázové efekty, jsou události v elektronice, způsobené jednou vysoce energetickou částicí. [14] Tyto jevy jsou potenciálně velmi nebezpečné, obzvláště u kritických systémů, kde požadujeme vysokou spolehlivost. Obzvláště nutné je zabývat se těmito jevy v případech, kdy zařízení pracuje v prostředí se zvýšeným množstvím energetických částic. Jako příklad lze uvést letectví, kosmonautiku, jadernou energetiku, medicínu nebo vědecká zařízení, například urychlovače částic. Jednorázové efekty se týkají polovodičových součástek. Mohou mít destruktivní i nedestruktivní účinky, které budou rozebrány dále.

Na obrázku 3.1 je naznačený princip vzniku single event efektu v polovodiči. Průlet nabitě částice materiálem po sobě zanechá iontovou stopu s nevyrovnaným nábojem. Při vyrovnávání tohoto náboje vznikne v polovodiči proud. Tvar průběhu proudu v závislosti na čase je zobrazen v grafu.



Obr. 3.1: Vznik single event efektu. Převzato z [13]

3.1 Destruktivní SEE

Destruktivní SEE jsou jevy, které způsobí trvalé poškození součástky, případně systému. Tyto jevy mohou být v některých případech odstraněny resetem systému, nestačí ale

například pouhé přepsání chybného bitu v paměti. Tímto typem chyb se zabývá například [15]

3.1.1 Single Event Latch-up (SEL)

Single Event Latch-up je způsoben u polovodičových struktur, které mají více vrstev. Zásah částice způsobí otevření parazitního PNPN přechodu (tyristoru), který je v součástce přítomen kvůli fyzickému uspořádání vrstev. Následně začne protékat proud, který může dosahovat značně velkých hodnot. Následné ohřátí může součástku zničit. Jednou cestou k minimalizaci problému je návrh, který neumožní vznik SEL, tedy takový, který neobsahuje PNPN struktury. [16] V případě, že k SEL již dojde, je možné problém odstranit resetem napájení. Tím dojde k uzavření tyristorové struktury a proud přestane téct. Obvod ale musí reset napájení umožňovat.

3.1.2 Single Event Snapback (SESB)

Single Event Snapback má stejné projevy jako SEL, mechanismus jeho vzniku je ale odlišný. SESB vzniká v rámci jedné NMOS struktury, kde je velké elektrické pole mezi elektrodami source a drain. [14] Ionizační náboj dopadající částice může způsobit lavinový nárůst počtu nosičů a aktivovat parazitní bipolární tranzistor mezi zmíněnými elektrodami. To opět vede na stabilní cestu s relativně vysokým proudem, jde ovšem o menší hodnoty proudu než u SEL. I to ovšem může vést k poškození součástky. Jednou z cest, omezující riziko vzniku, je snížení napětí mezi drainem a sourcem pod hranici, od které hrozí lavinový nárůst nosičů.

3.1.3 Single Event Hard Errors (SEHE)

Single Event Hard Error se projevuje u pamětí a úzce souvisí se Single Event Upsetem. Jde o bit, který je vlivem dopadu částice nesprávně přehozen, ale není možné ho pomocí klasického cyklu přepsat správně. Jde tedy o trvalé poškození.

3.1.4 Single Event Dielectric Rupture (SEDR)

Single Event Dielectric Rupture, proražení dielektrika v důsledku dopadu částice, je popisem pro situaci, kdy letící částice vytvoří v materiálu dielektrika vodivou cestu. Touto cestou následně může začít protékat proud. Toto zvýšení proudu je následně pozorovatelné v odběru ze zdroje. Tento jev byl pozorován při testování, nikoliv však při vesmírných letech. Je tedy považován spíše za akademickou zajímavost. [17]

3.1.5 Single Event Gate Rupture (SEGR)

Single Event Gate Rupture je způsoben nárazem částic, které způsobují ionizaci mezi oxidem hradla tranzistoru a drainem. To vede ke vzniku vyšších zbytkových proudů. To může vést k poškození dielektrika hradla a ke zkratu mezi hradlem a drainem. SEGR je typický spíše pro výkonové tranzistory. [17] Může mít i destruktivní následky.

3.1.6 Single Event Burnout (SEB)

Single Event Burnout je způsoben nárazem nabitě částice, která v součástce způsobí lokální cestu s vysokým proudem. Často může mít katastrofální následky. SEB nastává především ve výkonových tranzistorech, například výkonových MOSFETech, bipolárních tranzistorech, IGFET tranzistorech používaných ve vesmírných aplikacích, ale byl pozorován i u vysokonapěťových diod v pozemních aplikacích. [18]

3.2 Nedestruktivní SEE

Nedestruktivní SEE jsou jevy, které nezpůsobí trvalé poškození součástky nebo systému. Jejich odstranění může být provedeno resetem, nebo jen pouhým přepsáním chybného bitu v paměti.

3.2.1 Single Event Upset (SEU)

Single Event Upset je charakterizován jako změna stavu elektronického paměťového prvku, způsobená jednou nabitou částicí. [14] Tuto změnu lze odstranit jednoduše pouze přepsáním paměťového bitu na správnou hodnotu. Pokud došlo ke změně pouze jednoho bitu, můžeme mluvit o Single Bit Upsets (SBU), pokud v důsledku zásahu jednou částicí došlo ke změně více bitů, mluvíme o MBU, Multiple Bit Upsets.

3.2.2 Single Event Disturb (SED)

Single Event Disturb je stav paměťového prvku, způsobený nárazem nabitě částice. Paměťový prvek je v nestabilním přechodovém stavu, a za nějaký čas dojde k jeho ustálení. Poté už se bude tento jev klasifikovat jako SEU. Protože nestabilní stav prvku může být dostatečně dlouhý pro přečtení instrukce, ta může být provedena a může dojít ke vzniku chyby, proto jsou SED označeny zvlášť. [17]

3.2.3 Single Event Transient (SET)

Při Single Event Transient jevu způsobí nabitá částice dočasnou změnu napětí v obvodu, napěťovou špičku. Ta sama o sobě odezní a není třeba jakéhokoliv jiného zásahu. Problém může nastat v případě, že je tento přechodný děj zachycen následujícím obvodem,

obzvláště u rychlých obvodů. SET ovlivňují především analogové a mixed-signal obvody. [14] Dochází k nim nicméně i u digitálních obvodů a i tam mohou představovat problém.

3.2.4 Single Event Functional Interrupt (SEFI)

Single Event Functional Interrupt je událost, při které dojde vlivem zásahu částice ke změně v nějakém stavovém registru či hodinovém zdroji. Tato změna má následně vliv na funkčnost součástky či systému. V principu jde o SEU, ke kterému došlo v řídicí části obvodu. Obecně není SEFI doprovázen zvýšeným odběrem proudu (SEL), nebo událostí typu SESB. [17] Obnovení funkce je složitější než v případě prostého SEU, ale je možné provedením softwarového nebo hardwarového resetu.

4

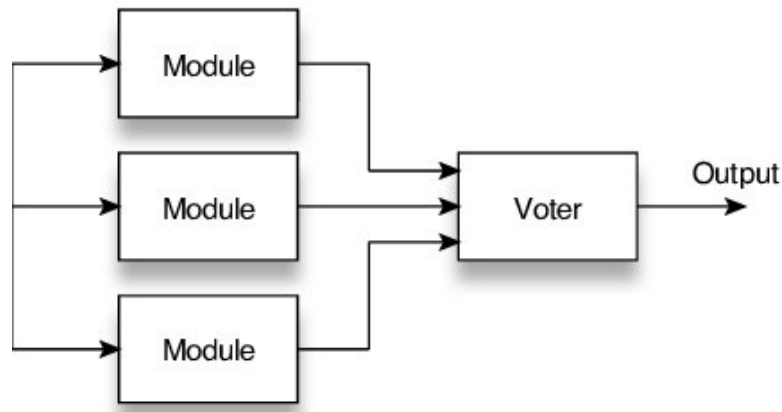
Redundance v digitálních obvodech

Jestliže je potřeba navrhnout digitální systém se zvýšenou odolností proti jednorázovým jevům (SEE), jednou z cest, jak toho dosáhnout, je použití modulární redundance. Existují dva druhy redundance, redundance v čase a redundance v prostoru. Nejprve si popíšeme redundanci v prostoru.

4.1 Redundance v prostoru

4.1.1 Lichá redundance

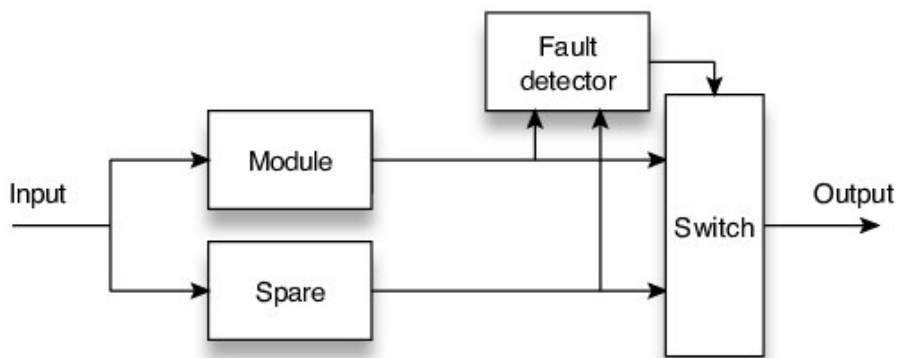
Mějme logický blok, který vykonává požadovanou kombinační funkci. Pokud tento blok vezmeme a dvakrát zkopírujeme, dostaneme tři identické bloky, které budou na stejný vstup reagovat stejným výstupem. Vstupy těchto bloků spojíme. Výstupy těchto bloků zapojíme do hlasovacího obvodu, také označovaného jako majoritní obvod. Výstup tohoto bloku je určen názorem většiny. Pokud tedy na jednom ze tří logických bloků dojde k chybě, zbývající dva tento přehlasují a výstup majoritního obvodu bude správný. Toto zapojení se označuje jako "trojitá modulární redundance - TMR". Nevýhoda tohoto zapojení je, že pokud dojde k chybě na dvou blocích, majoritní obvod rozhodne ve prospěch většiny a výstup tedy bude chybný. Obecně lze tedy použít libovolný počet modulů, které jsou zapojeny do majoritního obvodu. Počet bloků si označme jako číslo " m ". Jedinou podmínkou je, aby toto číslo bylo vždy liché, jelikož pouze tehdy je vyloučen nerozhodný výsledek hlasování.



Obr. 4.1: Principiální schéma liché redundance s majoritním obvodem. Převzato z [19]

4.1.2 Sudá redundance

Tento přístup využívá právě konfiguraci, ve které je sudý počet logických bloků. Konkrétně se využívají skupiny vždy dvou logických bloků. Každá skupina provádí stejnou funkci. V případě, že je výsledek rozdílný, došlo k chybě. Pokud je použita jen jedna skupina bloků, musí každý z nich obsahovat autodiagnostiku. Tím je možné identifikovat vadný blok a funkce pokračuje pouze s blokem funkčním. Jestliže bloky autodiagnostiku nemají, je třeba mít více skupin logických bloků. V případě poruchy v některé skupině dojde k jejímu odstavení a činnost pokračuje se zbývajících skupinami.



Obr. 4.2: Principiální schéma sudé redundance. Převzato z [19]

4.2 Redundance v čase

Druhým druhem redundance je redundance v čase. Mějme stejný logický blok. Jestliže na jeho vstup pustíme signál, na jeho výstupu dostaneme výsledek. Pokud do jeho vstupu následně pustíme tentýž signál, dostaneme na výstupu tentýž výsledek, za předpokladu, že vše funguje správně. Pokud došlo k chybě, například vlivem SEE, dostaneme jiný výsledek. Pokud následně porovnáme výsledky z jednotlivých časů, můžeme pomocí majoritního vyhodnocení opět dostat většinový názor. Na rozdíl od modulární redundance

zde máme pouze jeden blok, který použijeme opakovaně. Jde tedy o prostorově úspornější řešení, nicméně dochází zde k nezbytnému časovému zpoždění. V této práci se tímto přístupem nebudu zabývat.

4.3 Duální logika

Posledním způsobem zvýšení spolehlivosti, o kterém se zde zmíním, je použití dvoudrátové logiky. V tomto případě se jakýkoliv signál zpracovává ve své neinvertované a invertované formě. Existují tedy paralelně dvě větve celou signálovou cestou. Výhodou tohoto přístupu je snadné vyhodnocení chyby. Stačí k němu totiž prosté hradlo XOR, respektive NXOR. Jestliže jsou signály v obou větvích na tomtéž místě opačné, k chybě nedošlo. Jestliže jsou shodné, došlo k chybě. S tímto přístupem je možno chybu poměrně snadno lokalizovat. Tento přístup lze klasifikovat jako jednu z metod sudé redundance.

5

Návrh a realizace experimentu

Tato práce se zaměřuje na popis a implementaci systémů s lichou prostorovou modulární redundancí. Existuje mnoho různých testovacích vzorů, které lze použít. Pro testování je důležité, zda-li se testy provádí pro kombinační nebo sekvenční logiku. Jako testovací vzor pro kombinační logiku se velmi často volí prostá sčítačka, existují i jiné možnosti. Testování sekvenční logiky je odlišné a jsou používány jiné vzory. Například jednoduchý čítač je jedním z nich. Při testování sekvenčních obvodů je možné rovněž využít registr LFSR. V této práci jsou však používány kombinační obvody.

5.1 Testovaný logický vzor

Jako požadovaná kombinační funkce byla v tomto případě vybrána prostá sčítačka. Kvůli zjednodušení následné práce byl zvolen popis parametrické n -bitové a m -násobně modulární sčítačky. Na základě potřeby je pak možno měnit parametry a funkci tím uzpůsobit. Celý popis byl proveden v jazyce VHDL.

Nejprve byla popsána plná jednobitová sčítačka. Tato sčítačka má ze své definice tři vstupy a dva výstupy. Dva její vstupy zahrnují signály A a B , tedy sčítance. Třetím vstupem je přenos z nižšího řádu. Výstupem sčítačky je signál součtu Y a přenos do vyššího řádu. Logické funkce popisující tyto proměnné jsou následující:

$$Y = A \otimes B \otimes Cin \quad (5.1)$$

$$Cout = (A \times B) + (A \otimes B) + Cin \quad (5.2)$$

Jelikož byl požadavek na obecnou n -bitovou sčítačku, bylo potřeba v nadřazené části vygenerovat potřebný počet jednobitových sčítaček a spojit jejich přenosy tak, aby došlo ke správnému sečtení logických vektorů na vstupu. Výsledný obvod měl tedy dva n -bitové vstupy A a B , jeden vstup signálu jakožto přenos z nižšího řádu a dva výstupy, vektor součtu Y a signál pro přenos do vyššího řádu. Tím byl vytvořen blok užitečné logiky, který bude dále použit pro testování.

5.2 Hlasovací obvod

Hlasovací, též majoritní, obvod má lichý počet vstupů (m) a jeden výstup. O hodnotě výstupu rozhoduje, jaký názor má většina vstupů. Pro příklad uveďme třívstupový majoritní obvod. Jestliže budou dva jeho vstupy mít hodnotu logická 0 a jeden hodnotu logická 1, na výstupu bude logická 0. Logickou funkcí to lze pro tři vstupy zapsat následovně:

$$Y = (X1 \times X2) + (X2 \times X3) + (X1 \times X3) \quad (5.3)$$

V případě rozšíření počtu vstupů je potřeba logickou funkci upravit. Nejprve se udělá logický součin vždy dvou přilehlých vstupů (tedy 1 - 2, 2 - 3, $m-1$ - m , 1 - m) a následně logický součet všech těchto součinů. Tím dostaneme jednobitový hlasovací obvod o m vstupech. Pro naše účely je třeba nikoliv jednobitového, ale n -bitového hlasovacího obvodu, celá tato struktura se ještě tedy musí zduplikovat na požadovaný počet bitů.

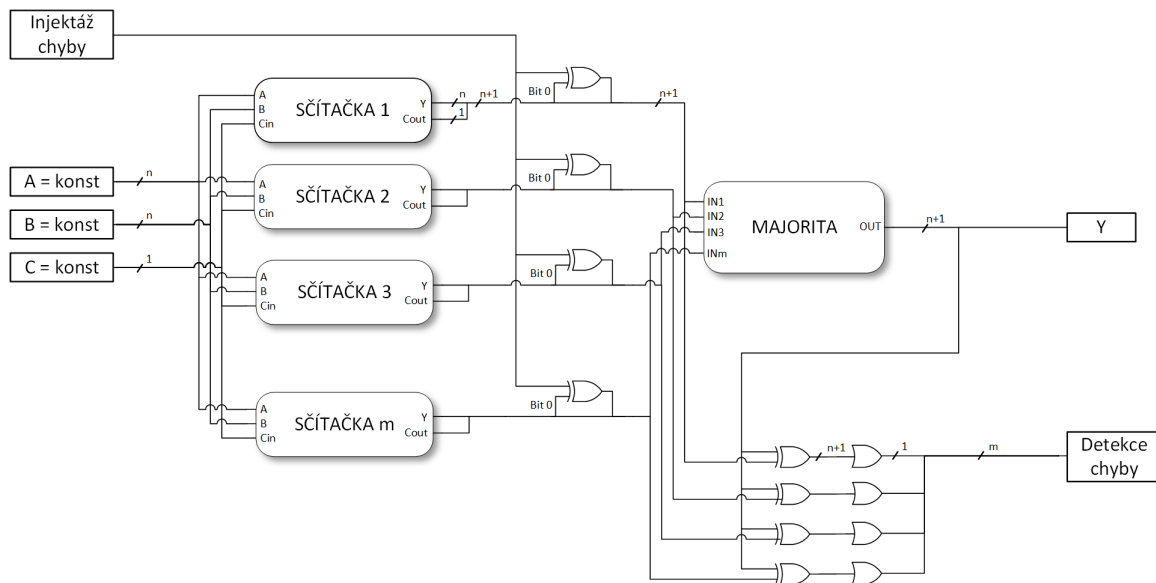
Dalším důležitým aspektem je vyhodnocení chyby. Díky němu můžeme identifikovat, na kterém z bloků došlo k chybě a tu případně lokalizovat. Tohoto výsledku lze dosáhnout poměrně jednoduše porovnáním výsledku majoritního hlasování s každým vstupem, pomocí hradla XOR. Kromě výsledku hlasování přibude tedy ještě m dalších signálových výstupů, signalizujících chybu.

Jestliže se hodnota vstupu majority bude lišit od výsledku hlasování, došlo v daném bloku k chybě. To ovšem nemusí být pravda. Výsledek hlasování nám nedává informaci o správném výsledku, ale o názoru většiny. Pokud by tedy došlo k chybě na dvou vstupech (v případě třívstupého majoritního obvodu), bude výsledek hlasování chybný a jako zdroj problému se identifikuje správně fungující blok, protože bude mít výstup rozdílný od výsledku hlasování. Tato negativní vlastnost je součástí principu majority a pokud předem neznáme správný výsledek, nelze ji potlačit.

V našem případě, kdy známe hodnotu vstupů sčítaček A a B, známe i očekávaný výsledek. Proto je do návrhu přidána ještě jedna sekce, která porovnává výsledek hlasování majoritního obvodu se správným výsledkem. Tím se zajistí identifikace vícenásobné chyby.

Jelikož obvod bude použit pro měření SEE, případné chyby vzniknou až při ostrém měření. Tím se značně komplikuje ověření funkčnosti návrhu při testování. Nezbytností pro diagnostiku je tedy možnost vyvolat uměle chybu v určitém bloku. Tento proces se označuje jako injekce chyby. Implementace je velmi jednoduchá, na jeden z bitů výstupního vektoru každé sčítačky je umístěn obvod XOR. S jeho pomocí je možno invertovat hodnotu bitu ve vektoru a tím zavést uměle chybu do výsledku. Navržený systém je znázorněn na blokovém schématu 5.1.

Celý tento návrh je nahrán do cílového FPGA. Pro testování byl zvolen Polarfire MPF300T. Do tohoto FPGA bude blok vložen několikanásobně, aby se zvýšilo prostorové rozlišení a aby nedocházelo ke vzniku velkých clusterů logických bloků. Aby bylo dále možno lokalizovat chybu a identifikovat, která proletující částice tento SEE způsobila, je nutné znát přesné rozmístění jednotlivých bloků na čipu FPGA. Toho lze dosáhnout s



Obr. 5.1: Blokové schéma obvodu DUT

použitím Floorplanneru ¹.

5.3 Zachycení událostí

Dle údajů výrobce² je FPGA Polarfire odolné proti porušení konfigurace vlivem SEE. Jelikož testované zapojení je čistě kombinační, nehrozí ani překlopení klopných obvodů vlivem zasažení částic (SEU). Předpokládáme tedy, že nejčastější chybou, projevující se při testování, bude tzv. Single Event Transient (SET). Tento efekt má za následek napěťovou, respektive proudovou špičku, způsobenou dopadající částicí. Jde o přechodový děj, tento efekt tedy odezní samovolně po relativně krátké době. Vzhledem k tomu, že v zapojení je použita výhradně kombinační logika, může dojít k propagaci tohoto přechodového děje dál a dočasnému poškození zpracovávaných dat, v průběhu celého řetězce. Dále se tedy ve výsledku může projevit i na výstupu, v případě výše uvedeného zapojení půjde o pulz na některém z chybových výstupů.

Tyto pulzy však předpokládáme velmi krátké. Aby bylo měření možné, musí být signál přenesen až do testovacího obvodu. Tím je další obvod FPGA stejného typu. Je tedy třeba vybudit budič obvodu DUT, následně cestu na desce plošných spojů a vstupní obvody testovacího FPGA. Tranzienční jev je příliš krátký, a s největší pravděpodobností by došlo k jeho utlumení dříve, než by byl registrován. Proto je třeba ho uměle roztáhnout v čase, alespoň na hodnotu zhruba 5 ns. Toho lze dosáhnout několika způsoby.

¹https://coredocs.s3.amazonaws.com/Libero/12_4_0/Tool/chiplanner_ug.pdf

²https://ww1.microchip.com/downloads/aemDocuments/documents/FPGA/ApplicationNotes/ApplicationNotes/Microchip_PolarFire_FPGAs_for_Safety_Critical__AC478_Application_Note.pdf

Byl zvolen následující přístup. Signál, na kterém očekáváme tranzient, je přiveden na hodinový vstup klopného obvodu typu D. Na jeho datový vstup je stále přivedena logická "1". Pokud se na signálu na hodinovém vstupu objeví náběžná hrana, tranzient, výstup klopného obvodu se překlopí do hodnoty logická "1". V tomto stavu by obvod již zůstal, proto je třeba ho asynchronně resetovat. Pokud přivedeme výstup klopného obvodu na jeho reset s určitým zpožděním, získáme tím monostabilní klopný obvod s délkou pulzu odpovídající zpoždění ve zpětné vazbě. Toto zpoždění lze v obvodu FPGA realizovat nejjednodušeji pomocí sériového řazení invertorů. Každý invertor má vlastní, malé, propagační zpoždění. Pokud jich zapojíme do série víc, toto zpoždění se bude sčítat. Toto řešení není dokonalé. Propagační zpoždění členů může být závislé například na teplotě a napájecím napětí. Napájecí napětí lze považovat za konstantní. Změny teploty budou také poměrně malé, zařízení bude provozováno v laboratorních podmínkách i na měření. Proto jsme se rozhodli toto řešení použít.

6

Měřicí přípravek

Jako testovaný obvod bylo zvoleno FPGA od firmy Microsemi, model Polarfire MPF300T. Toto FPGA je v pouzdře BGA, s 1152 vývody. Z toho je 512 vývodů uživatelsky konfigurovatelných jako vstupně/výstupní (GPIO).

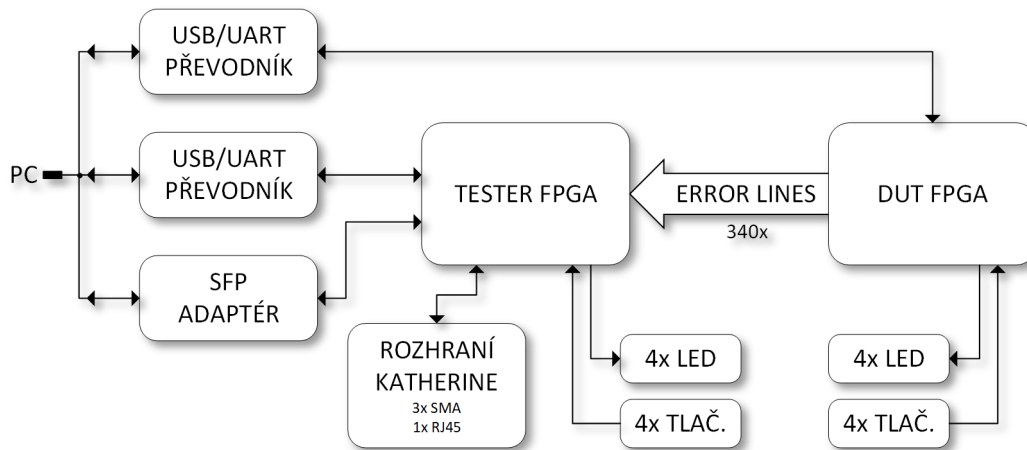
6.1 Struktura zapojení

Jak bylo popsáno v předchozí kapitole, v testovaném obvodu (DUT) budou umístěny clustery logiky. Každý tento cluster bude mít několik výstupů, kterými bude signalizovat chybu. Tyto výstupy musí být dále vyvedeny na piny pouzdra DUT FPGA. Počet těchto pinů tedy přímo souvisí s lokalizační schopností. Je žádoucí, aby GPIO pinů bylo použito co nejvíce.

Na druhé straně je potřeba snímat signály z těchto pinů a následně je zpracovávat a ukládat. Z důvodu jednoduchosti bude použit ten samý obvod FPGA i ve funkci "testeru". V něm bude docházet k zachytu událostí (pulz na vstupním pinu), přiřazení časové značky a odeslání k následnému zpracování. V základním principu je měřicí přípravek složen ze dvou obvodů FPGA, vzájemně propojených co největším množstvím vodičů. Samozřejmě součástí jsou pak napájecí obvody, uživatelská tlačítka a svítivé diody, sériové linky pro komunikaci s okolím a konektory pro případné další rozšíření. Celá tato sestava by měla být umístěna na jedné desce plošných spojů, která bude zároveň sloužit pro mechanické uchycení částicových detektorů TimePix3. Tyto mohou být umístěny před i za DUT FPGA a sledovat interakci částic s testovaným návrhem. Detektory jsou připojeny k readout zařízení Katherine. Měřicí přípravek musí umožňovat propojení testovacího FPGA (tester) přímo s Katherine, aby bylo možné posuzovat časový vztah událostí.

Na základě těchto požadavků bylo možné začít s reálným návrhem. Kromě dvou FPGA a napájecích obvodů jsou na desce umístěny ke každému FPGA čtyři uživatelská tlačítka, čtyři uživatelské LED, FTDI převodník USB <-> UART a krystalový oscilátor. Krystalové oscilátory byly nakonec umístěny tři. Dva nezávislé u každého FPGA a jeden společný mezi nimi. Který se použije je možné konfigurovat osazením rezistorů. U tester FPGA je navíc vyvedeno rozhraní pro SFP modul, v případě potřeby použití

vysokorychlostní komunikace někdy v budoucnu. Po základním rozložení součástek byla stanovena velikost desky na 420 x 135 mm. Deska je takto rozměrná pro dosažení co největší fyzické vzdálenosti mezi testovaným a testovacím FPGA, jelikož testovací FPGA by nemělo zasahovat do částicového svazku. Kvůli počtu vývodů FPGA a jejich rozteči byl zvolen plošný spoj s 12 vrstvami. Jejich přesné rozložení a funkce je definováno stack-upem, z oněch 12 vrstev jsou dvě napájecí, dvě zemní a zbývajících 8 je signálových. Blokové schéma je zobrazeno na obrázku 6.1, celkové schéma je připojeno v příloze.



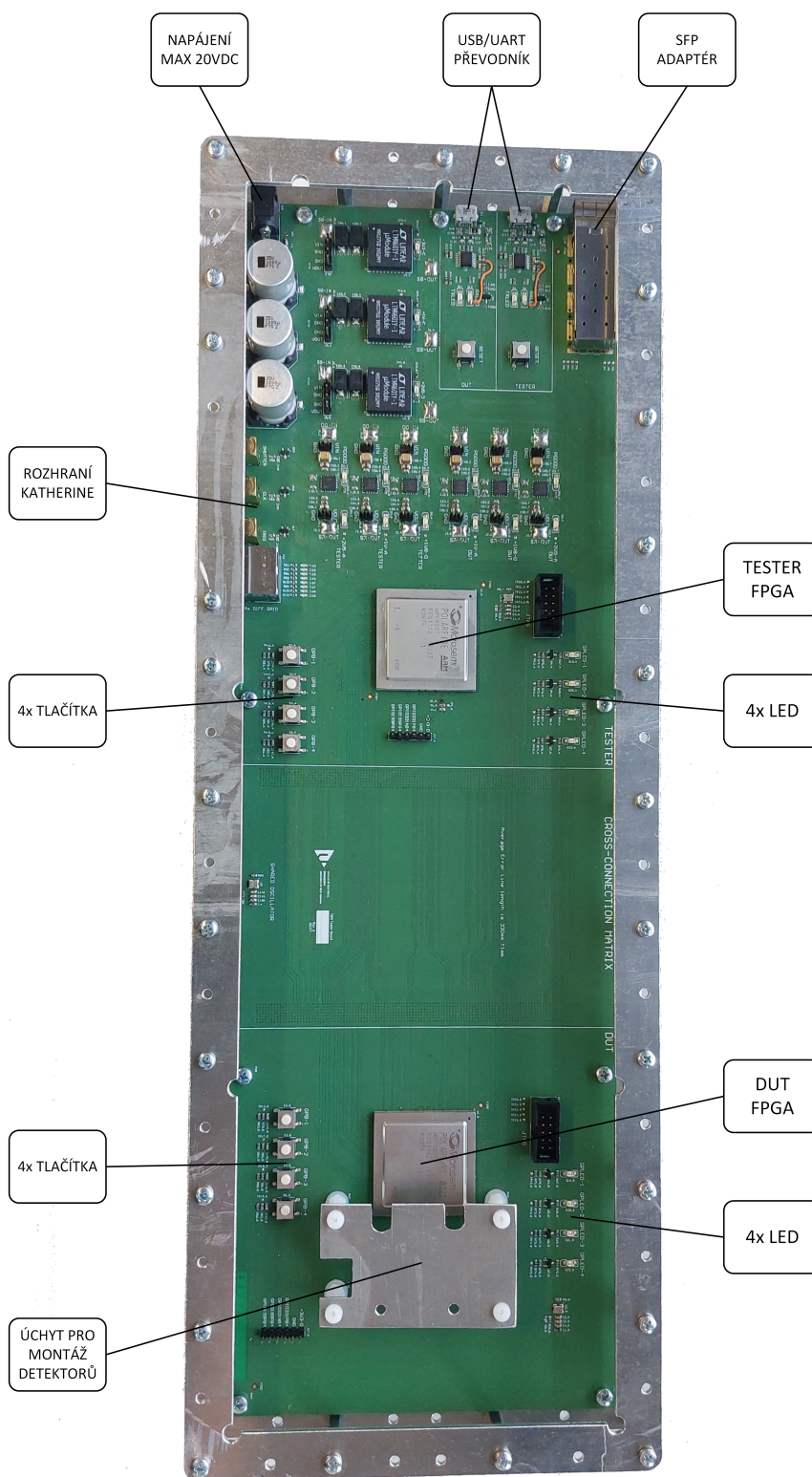
Obr. 6.1: Blokové schéma desky pro testování TMR

Jak již bylo zmíněno, jsou FPGA navzájem propojeny pomocí cest. Počet těchto cest by měl být dle požadavků co nejvyšší. Zvolená FPGA má 512 GPIO pinů, z nich ale některé jsou vyhrazeny na jiné funkce na desce, jak bylo popsáno v předchozím odstavci. Zbývající piny by měly být použity v co největší množství na vzájemné propojení obvodů. Toto bohužel není přímočaré, jelikož zvolené FPGA má dva základní typy GPIO pinů, respektive bank. Prvním z nich jsou piny označené jako prosté GPIO, druhou skupinou jsou piny označené HSIO. Obě tyto skupiny jsou nekompatibilní z hlediska napěťových úrovní, není tedy možné propojit pin GPIO s pinem HSIO.

6.2 Návrh desky plošného spoje

Návrh desky byl zpracováván v programu Altium Designer. V návrhu jsem nejprve rozmístil komponenty na desku a udělal propojení nezbytných cest. Následně byl v okolí FPGA obvodů proveden fanout všech možných pinů. Všechny tyto piny byly označené jako "swapovatelné", tedy, je možné je v rámci určité skupiny libovolně prohazovat. Poté jsem tyto cesty prodloužil a vyvedl je na hranici oblasti, kterou jsem nazval Cross-Connection Matrix, propojovací matice. V této oblasti jsou cesty mezi FPGA propojeny a zároveň je provedeno ladění jejich délek. Prvotním nápadem bylo použití autorouteru v této fázi, jelikož šlo jen o mechanické propojování cest, bez speciálních požadavků. To se však neukázalo jako možné a routování bylo provedeno ručně. Na obou stranách

propojovací matice jsem udělal sedm sloupců prokovek, prakticky o šířce desky. Sedm sloupců zde vychází z počtu signálových vrstev, minus jedna spodní vrstva, na které nejsou vedeny cesty od FPGA k propojovací matici. Jednotlivé sloupce prokovek tedy vždy přísluší k určité signálové vrstvě, kvůli přehlednosti. Tyto prokovky jsem udělal jak na straně testovacího, tak testovaného FPGA. Poté už následoval proces propojování jednotlivých prokovek v rámci propojovací matice. Velmi užitečná zde byla funkce Altia pro "swapování", prohazování, jednotlivých pinů tak, aby byla výsledná cesta co nejkratší a s nejmenším počtem křížení. Altium umožňuje jak automatické, tak manuální prohazování, přičemž jsem využíval obě. Ve výsledku se podařilo propojit 340 cest. Tento počet je více než dostačující. Posledním krokem v této fázi návrhu bylo vyrovnání délek všech těchto cest, z důvodu stejného zpoždění při šíření signálu. Altium má k tomuto velmi užitečný nástroj, který funguje poloautomaticky. Je ale nutné individuálně ladit každou cestu. Výsledná délka všech cest byla naladěna na $330 \text{ mm} \pm 1 \text{ mm}$. Celý tento návrh byl poměrně časově náročný.



Obr. 6.2: Navržená a vyrobená deska pro testování TMR

7

Sběr dat

Pro zachycení chybového signálu od DUT je použito FPGA. V tomto FPGA dojde k identifikaci kanálu, na který chyba přišla, a přiřazení časové značky. Tato časová značka je odvozena od čítače. Čítač je po zapnutí resetován a spouštěn signálem od Katherine. Po příchodu události je zaznamenána hodnota čítače a tato je spolu s identifikačním číslem kanálu odeslána po sériové lince do připojeného počítače. V něm je zaznamenána do připraveného software, kde probíhá částečná real-time analýza a ukládání dat do csv souboru. Tím jsou data připravena k dalšímu off-line zpracování.

Pro přesný popis propojení je třeba nejdříve vysvětlit funkci testovacího řetězce. Ten se skládá z testovacího FPGA, readout zařízení Katherine a jednoho či dvou detektorů TimePix3. Dále je možné mít připojen zdroj synchronizačních pulzů od svazku. Samotná deska je s readout zařízením Katherine propojena pomocí tří koaxiálních kabelů. Prvním z nich je hodinový signál, CLK. Tento zajišťuje synchronizované hodiny od Katherine do testeru. Druhým signálem je závěrka, SHUTTER. Tato dává informaci z Katherine do testeru, v závislosti na tom, jestli jsou z detektorů sbírána a ukládána data či nikoliv. Posledním signálem je trigger, který vyšle z testeru do Katherine pulz pokaždé, když dojde k zachycení chyby.

Dále je možné připojit synchronizační signál, umožňující precizní synchronizace s jednotlivými shluky ("bunch") svazku a s dalšími zařízeními. Dále je umožněno ukládání časových značek synchronizačních pulzů pomocí externě připojeného zařízení (využívajícího SPI rozhraní), které lze dále připojit k PC pomocí ethernet rozhraní.

8

Měření na urychlovači ICE II v Los Alamos

Po připravení hardwaru i firmwaru a jejich otestování bylo možné provést první měření. Tím bylo měření na neutronovém svazku v Los Alamos National Laboratory, konkrétně v ústavu LANSCE (Los Alamos Neutron Science Center)¹. Tento svazek je určen k simulaci působení kosmického záření v laboratorních podmínkách. Jeho spektrum je obdobné tomu kosmickému, ovšem s daleko větší intenzitou. Jako referenční na zemském povrchu se udává intenzita kosmického záření v New York City, ta je $0,0039 \text{ neutron/cm}^2/\text{s}$ [21]. Intenzita neutronového záření v zařízení ICE II je $106 \text{ neutron/cm}^2/\text{s}$ [22].

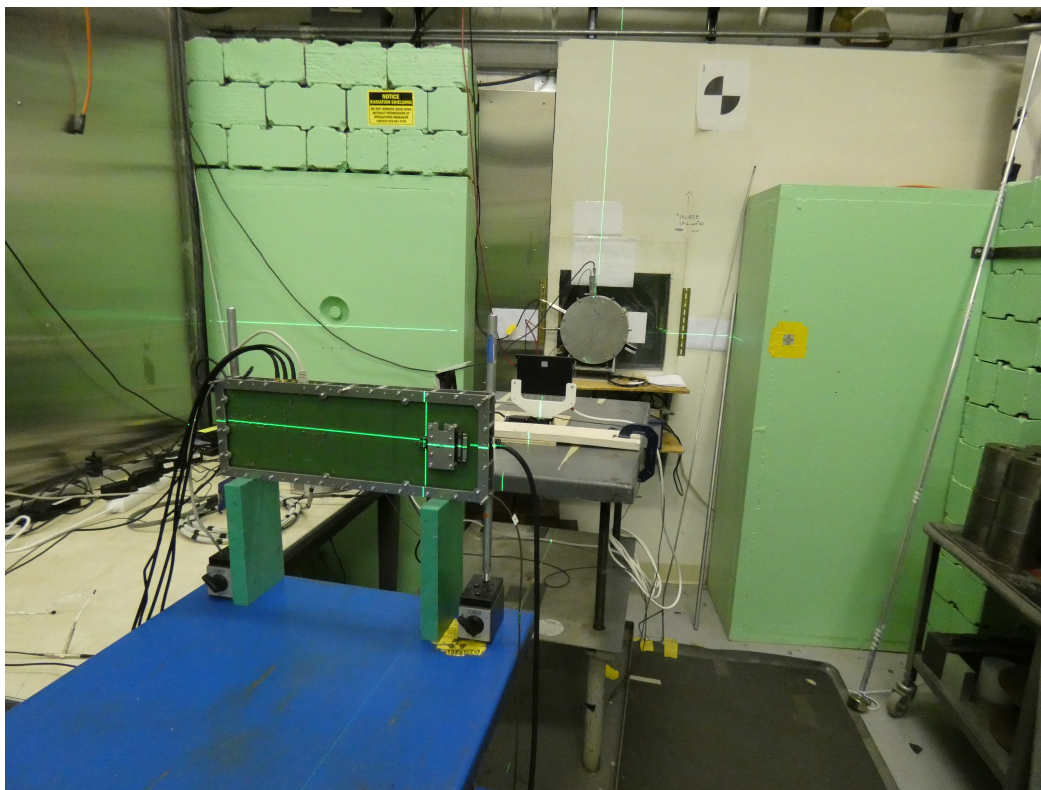
Měřicí přípravek byl v tomto případě složen z navržené desky, jednoho TimePix3 detektoru umístěného před DUT FPGA, readout zařízení Katherine a měřícího počítače. Protože vybavení laboratoře poskytovalo vývod synchronizačního signálu z interakčního bodu svazku, takzvané mikropulzy, bylo rozhodnuto o jejich zaznamenávání pro následné vyhodnocení dat. Tyto mikropulzy byly zaznamenávány dvěma způsoby. V prvním z nich byl využit readout systém Katherine, kam bylo možné po přizpůsobení úrovně signálu připojit vstup přímo. Druhým způsobem bylo využití navržené desky a tester FPGA, který každému mikropulzu přiřadil časovou značku. Následně došlo k odeslání přes SPI do dalšího zařízení pro záznam dat, propojeného s měřícím počítačem. Tento krok se při vyhodnocování dat ukázal jako nadbytečný a proto nebyl nadále využíván.

V rámci testovaného firmware byly vytvořeny dva návrhy, pro různé druhy redundantních struktur. Prvním z nich byl návrh TMR, tedy trojitá modulární redundance. Jak již bylo řečeno, do DUT FPGA je zároveň umístěno více clusterů redundantní logiky. V případě tohoto návrhu jde o 84 clusterů TMR logiky. Druhým návrhem je 5MR, tedy pětinasobná modulární redundance. U ní bylo použito 54 clusterů logiky. Měření bylo zahájeno právě s návrhem 5MR.

Samotné měření je v principu relativně jednoduché. Spustí se veškeré měřící vybavení, otevře se závěrka svazku a následně už jen dochází k zaznamenávání chyb do měřícího

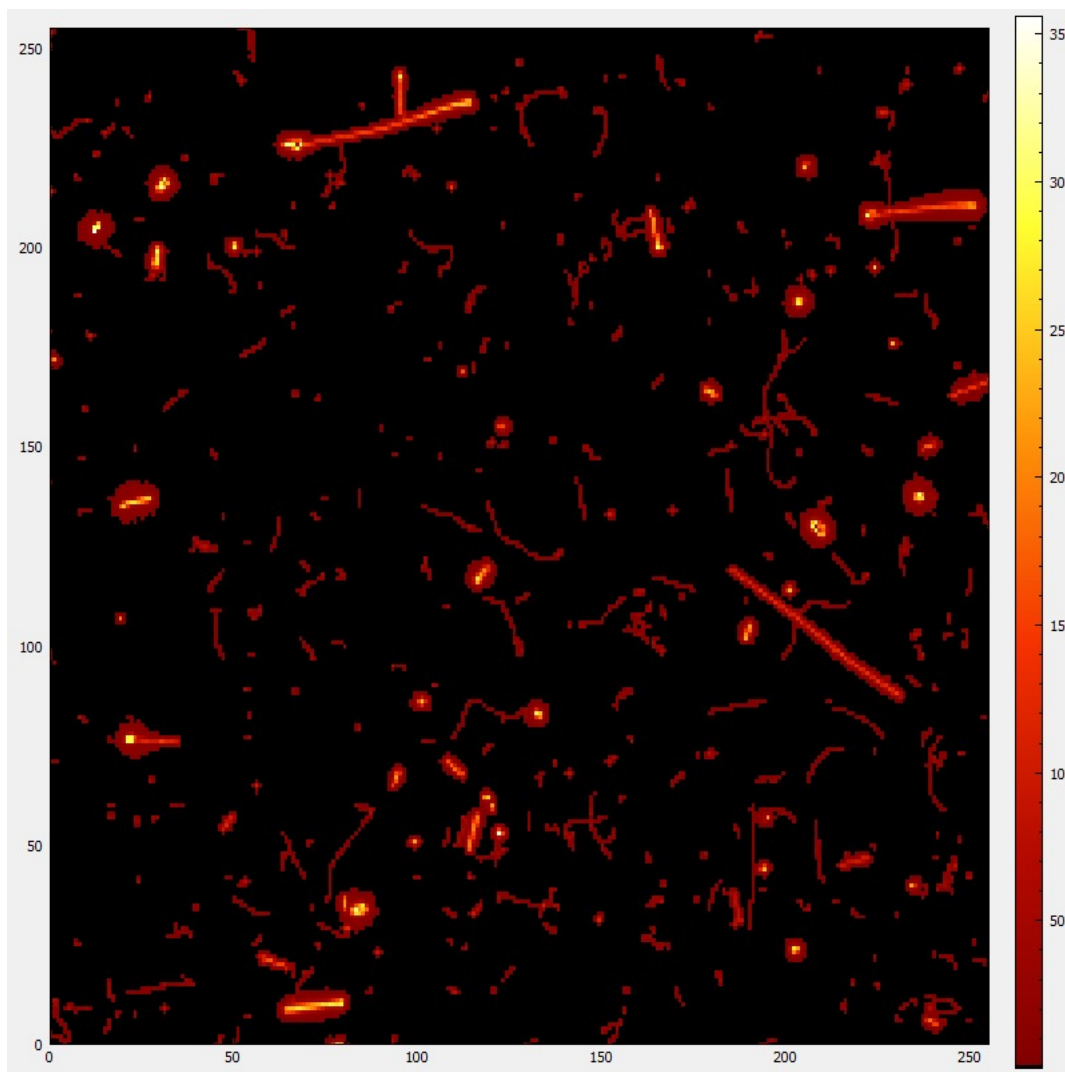
¹<https://lansce.lanl.gov/facilities/wnr/flight-paths/fp-30R/about.php>

počítače. Vyskytlo se několik problémů jak ze strany naší, tak ze strany LANSCE, které způsobily nedostatek času na měření. Proto byl úspěšně odměřen návrh 5MR, ovšem na TMR jsme se dostali jen velice omezeně a data z této části měření nejsou vypovídající.



Obr. 8.1: Umístěná a zaměřená deska před otevřením závěrky svazku v LANSCE

Na obrázku 8.2 je zobrazena ukázka naměřených dat z pixelového detektoru Timepix 3 umístěného před DUT FPGA. Samotné neutrony nejsou vzhledem ke své povaze zachyceny. Zachyceny jsou však sekundární částice ze srážek neutronů s atomy materiálu. Na snímku lze vidět stopy po fragmentech atomů a rovněž elektrony vznikající při interakci.



Obr. 8.2: Data z pixelového detektoru umístěného před DUT FPGA - neutrony v Los Alamos

9

Měření na urychlovači SPS v CERN

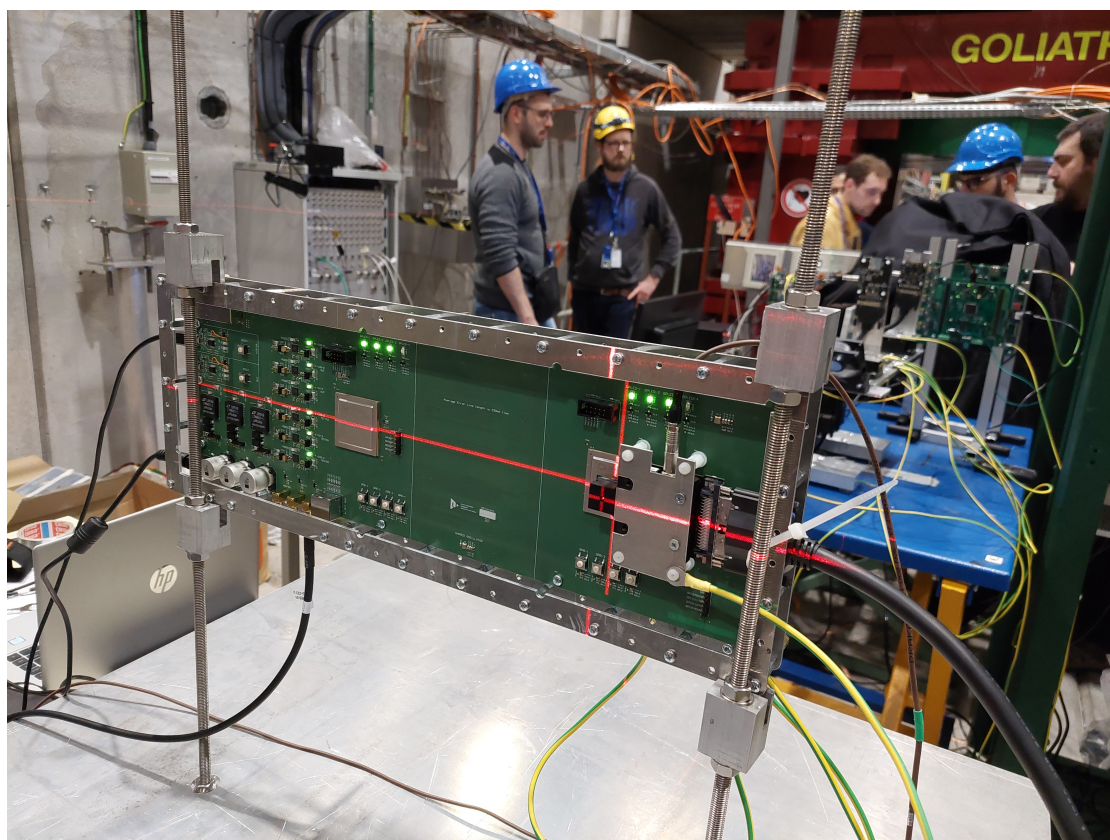
Druhým měřením, které bylo provedeno, bylo měření na svazku z urychlovače SPS¹. Měření se skládalo ze dvou částí. První z nich bylo měření na fragmentech částic a druhou bylo měření na svazku těžkých iontů olova.

Měřicí přípravek byl prakticky identický jako při měření v LANSCE. V tomto případě ale nebyl k dispozici synchronizační signál od svazku, takže nebylo potřeba jeho zaznamenávání. Měřicí přípravek byl tedy o to jednodušší a skládal se pouze z navržené desky, jednoho TimePix3 detektoru a readout Katherine. Ta byla, stejně jako v předchozím případě, propojena s měřícím počítačem přes ethernet.

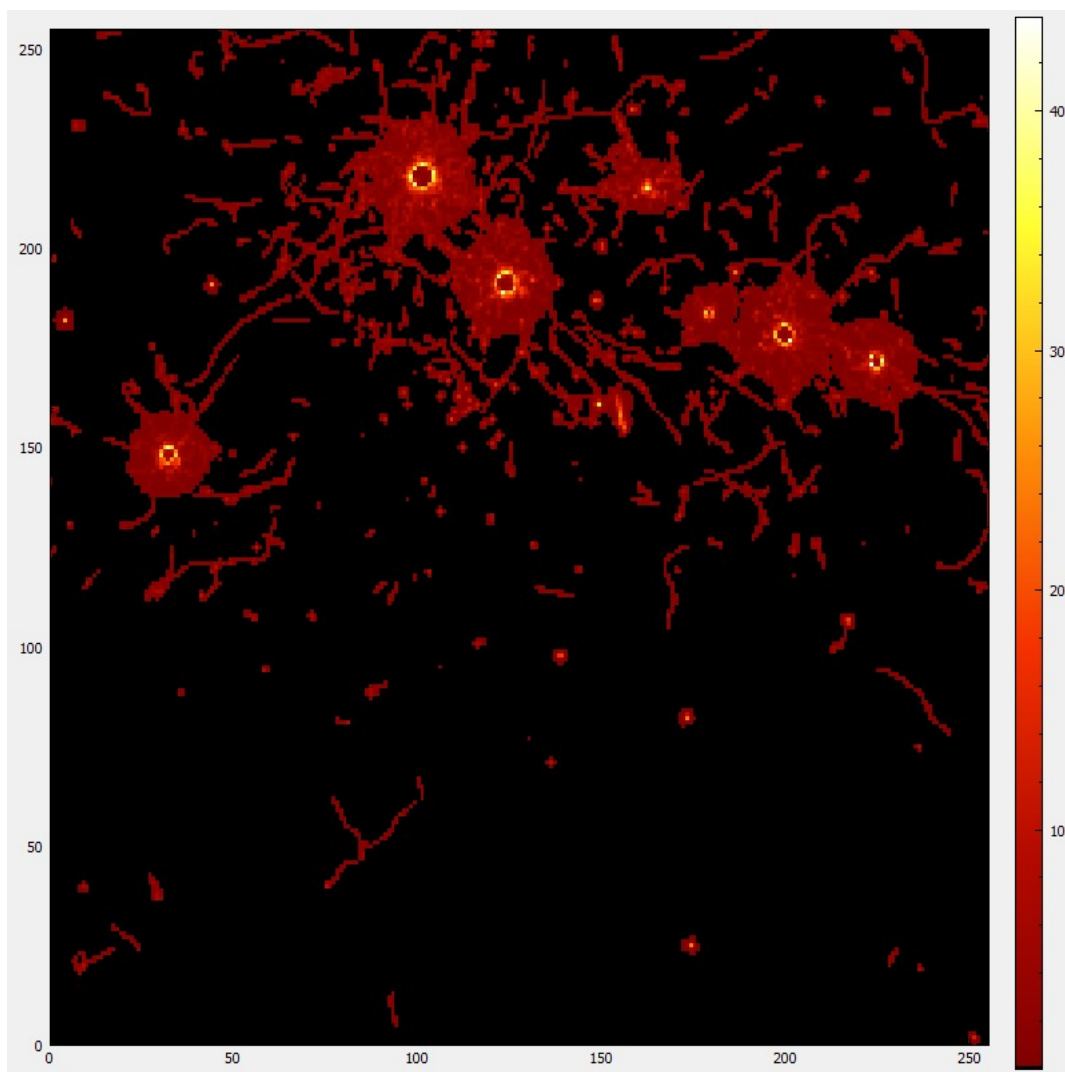
Vzhledem k nabraným zkušenostem z předchozího měření bylo toto značně jednodušší. Celá měřicí sestava byla umístěna před vyústění svazku a oživena. Poté bylo možné otevřít závěrku svazku a začít měření. Testovací firmware do DUT FPGA byl totožný s předchozím měřením, aby bylo možné vzájemné porovnání. Nicméně kvůli poměrně malému počtu událostí (chyb) bylo rozhodnuto o důkladném změřením pouze 5MR návrhu. Data z fragmentů a z těžkých iontů byla zaznamenávána zvlášť.

Na obrázcích 9.2 a 9.3 je zobrazena ukázka dat z pixelového detektoru před DUT FPGA. Na rozdíl od měření na neutronech zde jsou vidět samotné zásahy částic do detektoru. Jak u fragmentů, tak u těžkých iontů olova dopad částice způsobí jasný kruh s vysokou energií v centru dopadu. Z tohoto kruhu vylétávají delta elektrony, na obrázku zachyceny jako tmavě červená vlákna. Kromě nich jsou zachyceny ještě částice, které nevycházejí ze středu kruhů, ale jsou volně v prostoru. Tyto jsou produktem interakce svazku s materiálem v okolí a jedná se o elektrony, případně fotony.

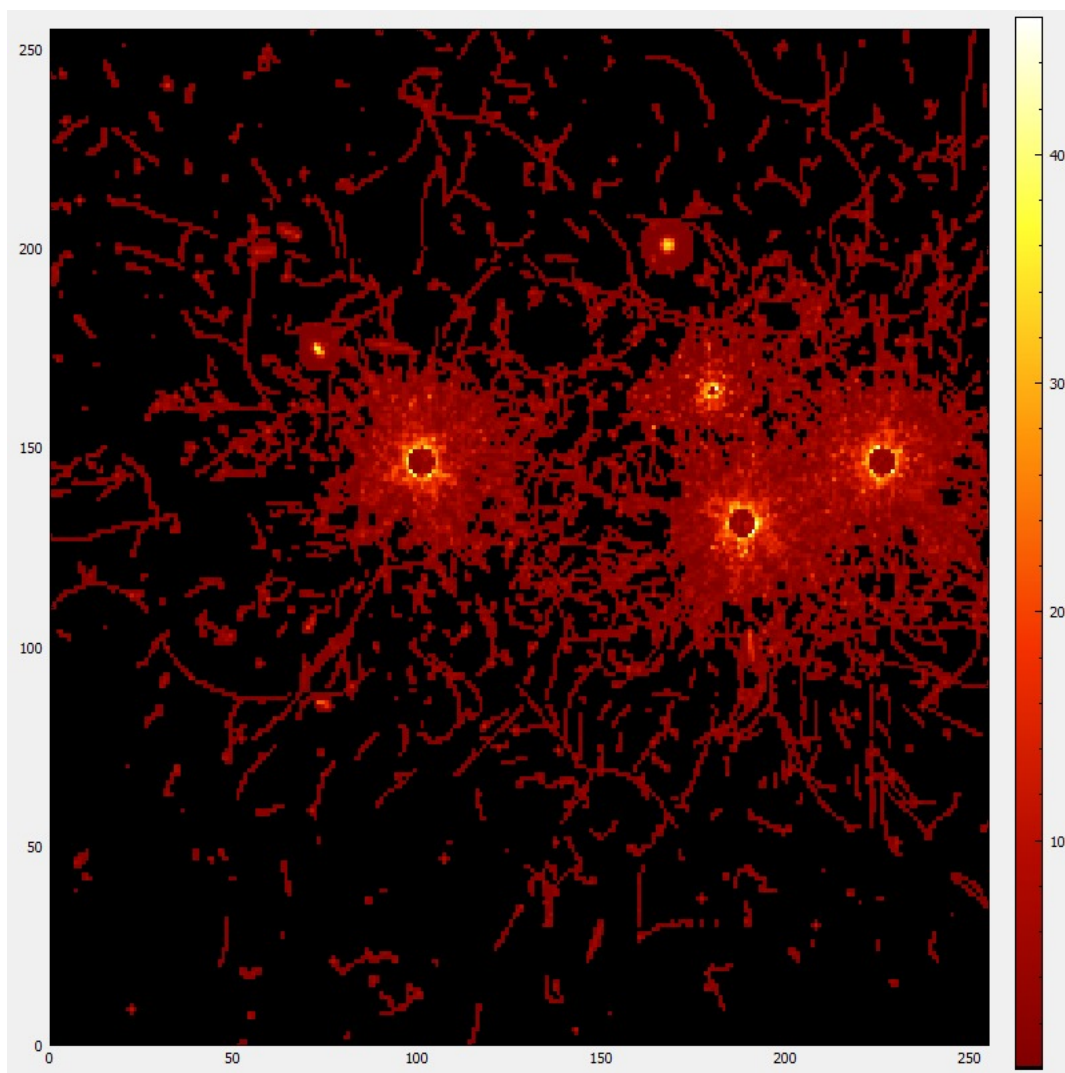
¹<https://home.cern/science/accelerators/super-proton-synchrotron>



Obr. 9.1: Umístěná a zaměřená deska před otevřením závěrky svazku v SPS CERN



Obr. 9.2: Data z pixelového detektoru umístěného před DUT FPGA - fragmenty v SPS CERN



Obr. 9.3: Data z pixelového detektoru umístěného před DUT FPGA - těžké ionty olova v SPS CERN

10

Vyhodnocení dat

Nasbíraná data z obou experimentů bylo po naměření třeba vyhodnotit. Prvním druhem vyhodnocení byla statistická analýza chyb. Jako vstupní informace v tomto případě sloužilo číslo kanálu chyby spolu s časovou značkou jejího zaznamenání. Pro vyhodnocení dat byl ve všech případech použit Matlab.

10.1 Statistické zpracování dat

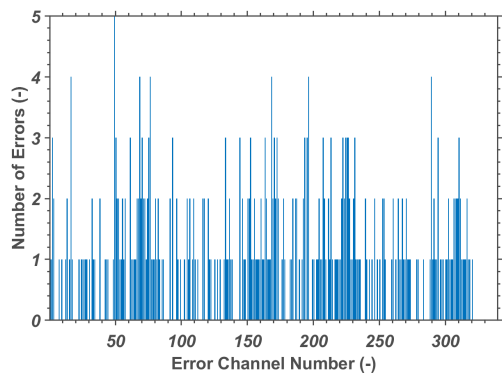
10.1.1 Způsob vyhodnocení

Prvním krokem pro vyhodnocení je načtení souborů, obsahující informace o chybách. Tyto soubory jsou ve své struktuře jednoduché, obsahují vždy číslo kanálu a dvě časové značky, jednu méně přesnou, absolutní, z měřicího počítače, a druhou přesnější, z interního čítače v tester FPGA.

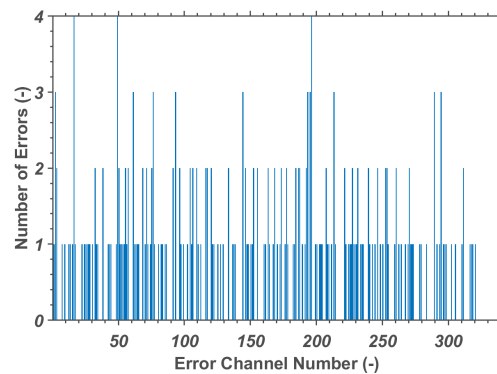
10.1.2 Histogram počtu chyb na měřených kanálech

Po načtení všech souborů dojde k vytvoření polí hodnot. Ta jsou nadále použita pro vyhodnocení. Nejjednodušším krokem je zobrazení histogramu, udávajícího počet chyb na jednotlivých měřených kanálech. Na obrázku 10.1 jsou naměřená data z LANL, měření na neutronech, a na obrázku 10.2 jsou data z CERN SPS v době, kdy byly ve svazku fragmenty částic.

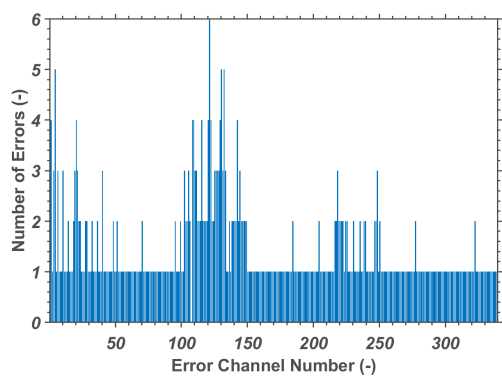
Pro další vyhodnocení jsem se rozhodl rozlišovat, jestli přísluší jedna zachycená chyba jedné události, nebo jestli jedna událost způsobila více chyb (shluk). Proto jsou v grafech vždy uvedeny dvě varianty, jedna z původních dat (w Duplicity Fails) a druhá, u které jsou odstraněny násobné chyby. Toho je dosaženo pomocí časového rozeznávání. Bylo definováno časové okno, a jestliže je zachyceno více chyb v čase kratším než toto okno a zároveň všechny chyby jsou po sobě jdoucí ze stejného logického clusteru, do grafu se zaznamená pouze první z těchto chyb. Jde totiž pravděpodobně o chybu majoritního obvodu, což je prokázáno dále.



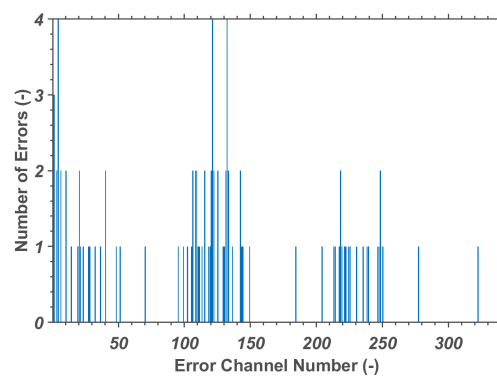
(a) Data s duplicitními chybami



(b) Data bez duplicitních chyb

Obr. 10.1: Histogram počtu chyb 5MR na měřených kanálech pro data z LANL

(a) Data s duplicitními chybami

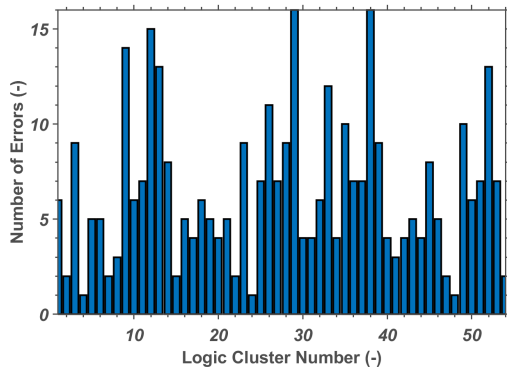


(b) Data bez duplicitních chyb

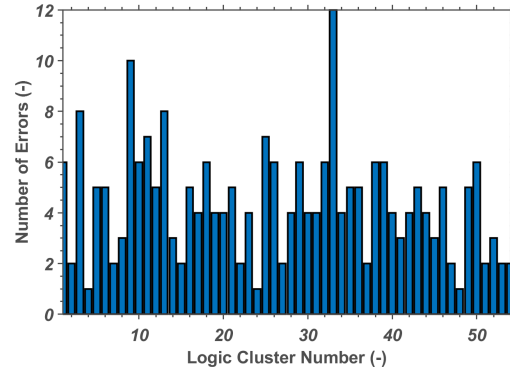
Obr. 10.2: Histogram počtu chyb 5MR na měřených kanálech pro data z SPS

10.1.3 Histogram počtu chyb na clusterech logiky

Jak již bylo popsáno, v DUT FPGA je větší množství clusterů logiky, z nichž každý zabírá několik chybových kanálů. V případě TMR jsou to 4 kanály na cluster (3 detekce chyby + 1 ověření správnosti výsledku), v případě 5MR je to kanálů 6 (5 detekce chyby + 1 ověření správnosti výsledku). V minulém kroku vyhodnocení byly pouze zobrazena syrová data, dalším krokem je rozdělení počtu chyb podle clusterů logiky. To je možné vidět na obrázcích 10.3 pro data z LANL a 10.4 pro data z SPS.

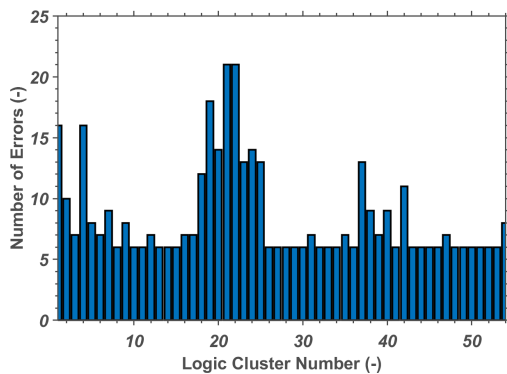


(a) Data s duplicitními chybami

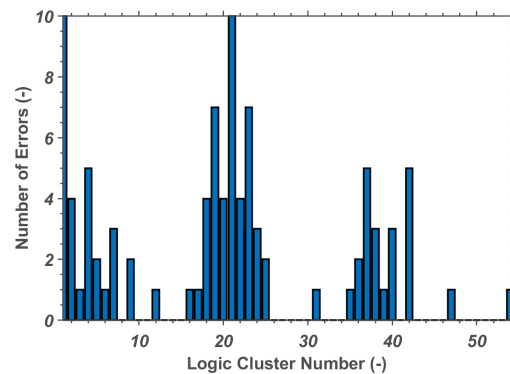


(b) Data bez duplicitních chyb

Obr. 10.3: Histogram počtu chyb 5MR na logických clusterech pro data z LANL



(a) Data s duplicitními chybami

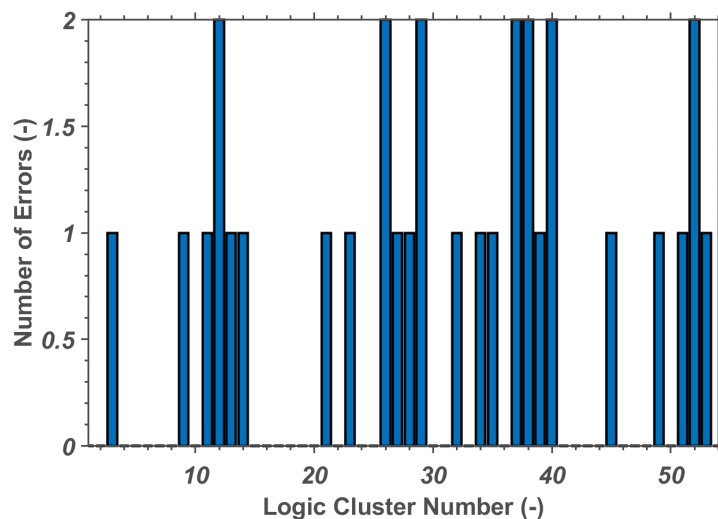


(b) Data bez duplicitních chyb

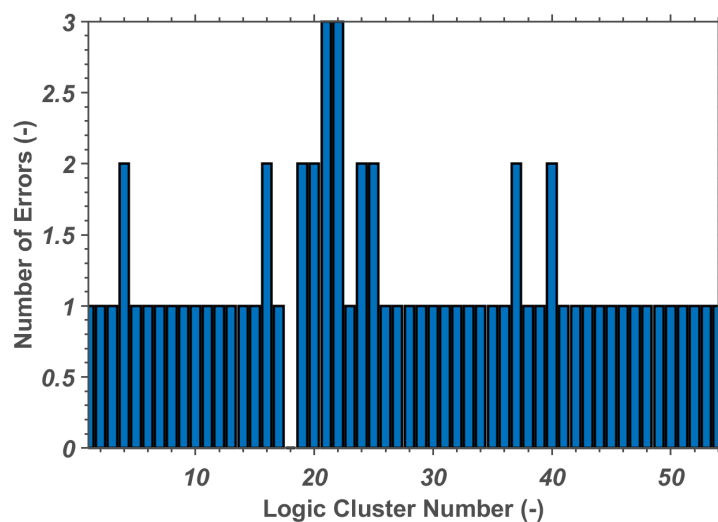
Obr. 10.4: Histogram počtu chyb 5MR na logických clusterech pro data z SPS

10.1.4 Histogram selhání majoritního obvodu

V dalším kroku jsou zobrazeny selhání majoritního obvodu jako celku. Je to situace, kdy je špatně kontrolní součet, výsledek majoritního hlasování je tedy chybný. Příčiny mohou být v zásadě dvě. První z nich je situace, kdy více než polovina sčítaček dala chybný výsledek a hlas většiny tedy přechází do stavu chyby. Druhou možností je zásah energetickou částicí do samotného majoritního obvodu. Na obrázcích 10.5 jsou výsledky pro data z LANL a 10.6 pro data z SPS.



Obr. 10.5: Histogram selhání majoritního obvodu 5MR pro data z LANL

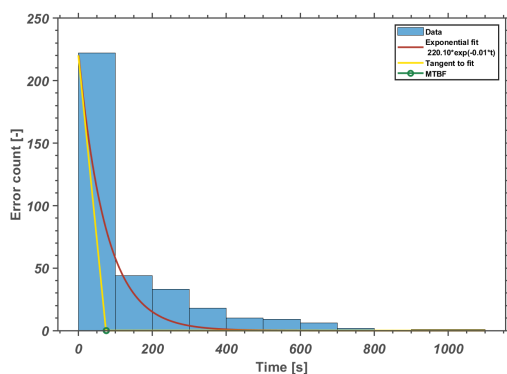


Obr. 10.6: Histogram selhání majoritního obvodu 5MR pro data z SPS

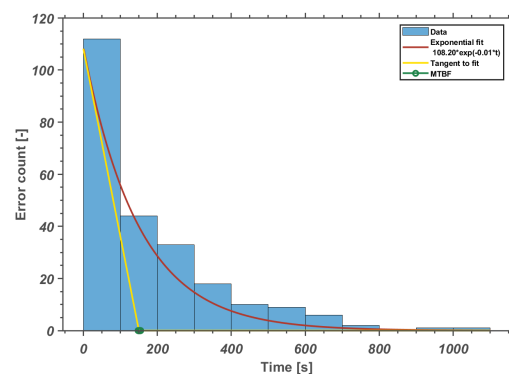
10.1.5 Doba mezi chybami a MTBF (Mean time between failures)

Veškeré předcházející vyhodnocení bylo časově nezávislé, bralo v úvahu pouze celkový počet chyb a ne časy jejich výskytu. V tomto kroku je naopak důležitý jen čas příchodu chyb, nezávisle na jejich kanálu. Doba mezi chybami vznikne prostým odečtením času předchozí chyby od času chyby následující. Očekává se, že tyto grafy budou mít tvar klesající exponenciály. Proto byla naměřená data proložena exponenciálním rozložením. Pokud se k tomuto proložení udělá tečna v jeho počátku, dostaneme jejím průnikem s osou X střední dobu mezi chybami (MTBF). Na obrázku 10.7 jsou vidět data naměřená v LANL a na obrázku 10.8 v SPS.

Právě při vyhodnocení střední doby mezi chybami je patrný rozdíl při odstranění duplicitních chyb. Pokud vezmeme surová data z LANL, vychází MTBF na základě průniku tečny na 75 s. Pokud ale odstraníme duplicitní chyby a budeme je vždy počítat jako jednu událost, dostaneme se na MTBF 155 s, což je značný rozdíl. Obdobně je tomu u dat z SPS, kdy na základě surových dat vychází MTBF opět na 65 s, kdežto při odstranění duplicitních chyb je to 152 s.

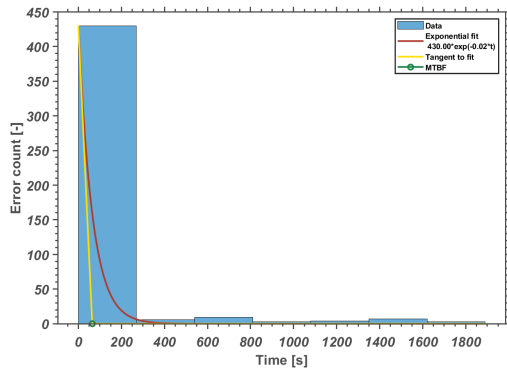


(a) Data s duplicitními chybami

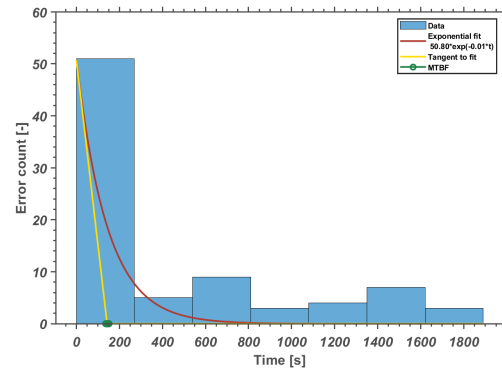


(b) Data bez duplicitních chyb

Obr. 10.7: Doba mezi chybami obvodu 5MR pro data z LANL



(a) Data s duplicitními chybami



(b) Data bez duplicitních chyb

Obr. 10.8: Doba mezi chybami obvodu 5MR pro data z SPS

10.1.6 Anomálie při měření

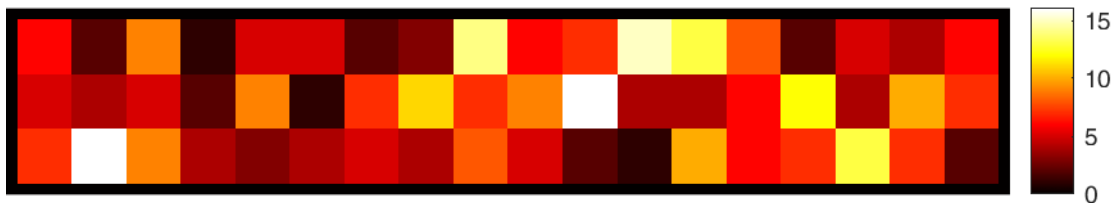
Již v předchozích odstavcích byla popsána jedna anomálie, duplicitní chyby. Tato se projevovала obvykle tím, že došlo k vygenerování chyby na všech výstupech daného clusteru kombinační logiky. Tedy na všech chybových výstupech majoritního obvodu i na výstupu kontrolujícím správnost výsledku. Tento jev nastal prakticky v jeden časový okamžik. To, že došlo k vygenerování chyby na všech chybových výstupech, vylučuje možnost, že by došlo k zásahu více než poloviny bloků logiky a tím k přehlasování správného výsledku v bloku majority. K chybě v tomto případě došlo pravděpodobně v důsledku zásahu energetickou částicí právě majoritního obvodu. Tento druh chyby byl při měření poměrně častý, což je rozhodně velká chyba, z hlediska spolehlivosti systému. Jeho četnost je nicméně úměrná ploše majoritního obvodu. Ten byl koncipován jako poměrně široký (z hlediska počtu bitů) a tím pádem prostorově rozměrný. Při zpětném pohledu byl tento problém částečně zapříčiněn neoptimálním návrhem DUT.

K další anomálii došlo při měření na SPS. V krátkém časovém sledu došlo k vygenerování chyb na všech kanálech, a to dokonce i na kanálech v tu dobu v DUT FPGA nezapojených do majoritních obvodů. V tomto případě jsou dvě možné příčiny vzniku této události. První z nich je zásah částice, který vyvolal reset DUT FPGA. Tím by mohlo na jeho pinech dojít k přechodovému jevu, v důsledku kterého by byly zachyceny pulzy na tester FPGA. Druhou možností je, že energetická částice aktivovala obvody self-test v DUT FPGA. Ty mají za úkol právě vygenerování pulzu na všechny piny, aby bylo možné ověřit funkčnost měřícího řetězce. Šlo každopádně o jednorázovou událost, která je velmi hezky patrná na obrázku 10.2, kde je vidět že na každém kanále vznikla alespoň jedna chyba.

10.2 Lokalizace chyb na čipu

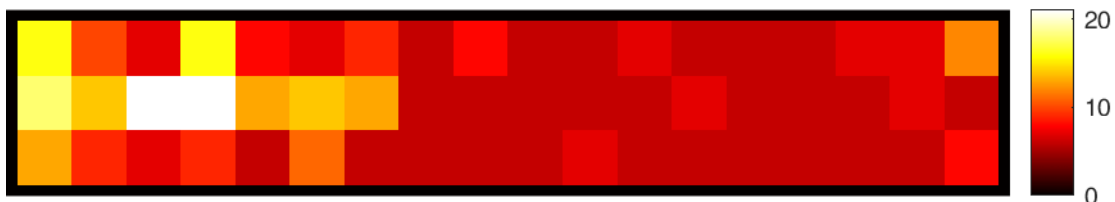
Díky rozdělení testované logiky do jednotlivých clusterů je možné lokalizovat chyby na čipu podle toho, ve kterém clusteru k nim došlo. Zpracování dat je v tomto případě velmi jednoduché, jelikož stačí pouze spočítat chyby v jednotlivých clusterech a následně je prezentovat jako formu histogramu. Větší vypovídající hodnotu než klasický histogram má zobrazení, ve kterém jsou počty chyb umístěny ve stejné fyzické pozici, jako clustery na čipu. Zobrazení je provedeno pomocí stupňů šedi, kde černá barva značí nulový počet chyb a bílá nejvyšší počet chyb.

Prvním ze zkoumaných vzorků dat jsou data z LANL. Na obrázku 10.9 jsou znázorněny všechny zásahy za celé měření. Jejich rozložení neobsahuje žádný vzor a rozmístění má víceméně náhodný charakter. To odpovídá předpokladům, jelikož svazek neutronů měl průměr minimálně 2,54 mm a tím pádem pokrýval celou oblast čipu.



Obr. 10.9: Lokalizace chyb na čipu - LANL

Druhým zkoumaný vzorek dat je z SPS CERN, nejprve při svazku z fragmentů částic. Jeho rozložení je zobrazeno na obrázku 10.10. Je patrné, že jeho rozložení je daleko více homogenní, než tomu bylo u dat z neutronového svazku.



Obr. 10.10: Lokalizace chyb na čipu - SPS - Fragmentsy

Posledním zkoumaným vzorkem dat jsou data měřená v SPS na svazku těžkých iontů olova. Tento vzorek je z pohledu lokalizace na čipu nejzajímavější, jelikož svazek iontů olova byl velice úzký. Na obrázku 10.11 jsou všechna naměřená data.



Obr. 10.11: Lokalizace chyb na čipu - SPS - Těžké ionty olova

Zajímavější je však v tomto případě pohled, ve kterém si rozdělíme předchozí obrázek na dva a to podle času. V určité chvíli při měření totiž došlo k úpravě pozice svazku. Na obrázku 10.12 lze v jeho horní části vidět svazek před úpravou pozice a v dolní části po úpravě pozice. Prostorová rozlišovací schopnost zapojení tedy není úplně zanedbatelná.



(a) Před úpravou pozice svazku



(b) Po úpravě pozice svazku

Obr. 10.12: Lokalizace chyb na čipu - SPS - Těžké ionty olova

10.3 Určení energie neutronů

Jako navazující experiment pro data získaná z měření provedených v LANL je určení energie neutronů. Toto vyhodnocení je provedeno na základě rozdílu zaznamenaných časových značek od detektoru timepix a chyb. Z tohoto vyhodnocení je možné určit spektrum doby letu částic (Time of Flight), zobrazeno na obrázku 10.14. Poté je možno pomocí určitých výpočtů z těchto dat získat spektrum energie dopadajících neutronů, které způsobily chybu. To je zobrazeno na obrázku 10.15.

Za účelem precizního zjištění doby letu neutronu (Time of Flight), je zapotřebí brát v úvahu faktory jako například zpoždění signálu triggerů, či zpoždění na kabelech mezi měřeným přípravkem a readout elektronikou Katherine. Jelikož přesné zpoždění od beam trigger signálu nelze precizně změřit, bylo využito měření gama záblesku vznikajícího při produkci neutronů. Tento gama záblesk byl detekován pomocí instalovaného Timepix 3

detektoru. Dále byla započítána i doba letu gama fotonů, výslednou dobu letu neutronů lze tedy vyjádřit jako

$$ToF = T_{err} - T_{gammaFlash} + ToF_{fotonu} \quad (10.1)$$

Kde ToF je doba letu částice, T_{err} je čas příchodu chyby, $T_{gammaFlash}$ je doba od gama záblesku a ToF_{fotonu} je doba letu fotonu. Z hodnoty ToF lze pak již určit energii dopadajících neutronů. Dle energie neutronů se liší doba jejich letu, jak je patrné z obrázku 10.13

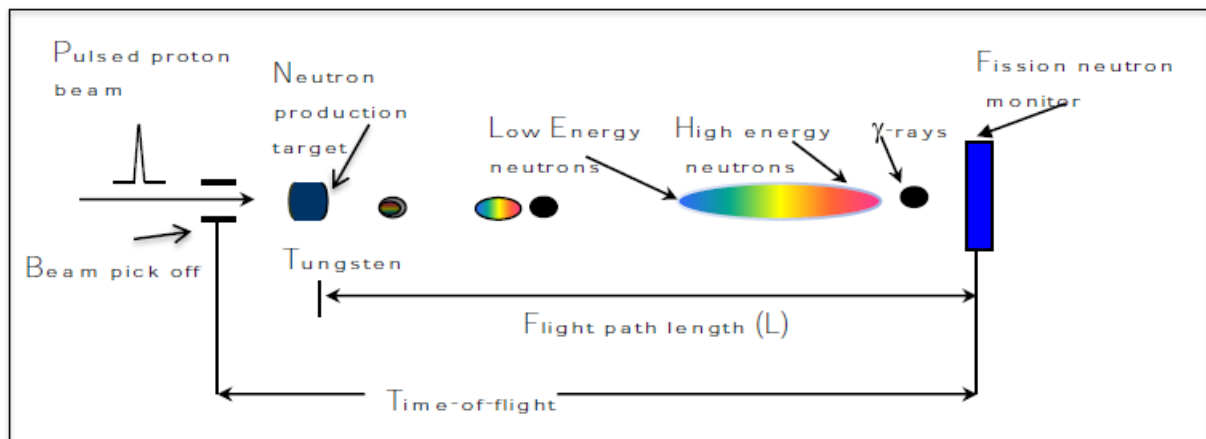
Z hodnoty ToF je nadále možné vypočítat energii neutronu. Nejprve je třeba vyčíslit rychlost neutronu, jak ukazuje rovnice 10.2

$$v = d_{IP}/ToF \quad (10.2)$$

Kde v je rychlost neutronu, d_{IP} je vzdálenost interakčního bodu od cíle a ToF je dříve vypočtená doba letu částice. Poté je možné vypočítat energii neutronu v Joulech. Tento výpočet popisuje rovnice 10.3.

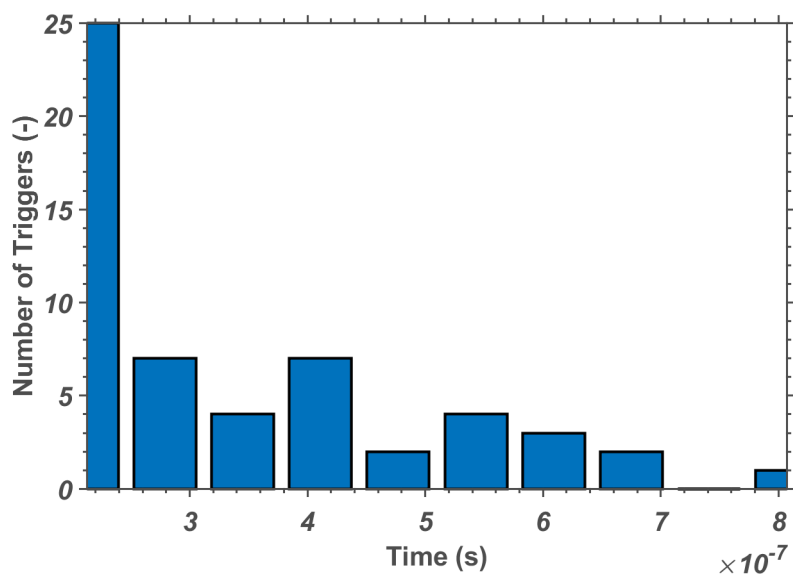
$$E = 1/2 * m_{neutron} * v^2 \quad (10.3)$$

Kde $m_{neutron}$ je hmotnost neutronu a E je energie neutronu. Poté již následuje jen převedení energie z jednotek Joule na jednotku MeV. Tímto je stanovena energie neutronu. Výsledky z výpočtů jsou zobrazeny v grafech 10.14 a 10.15.

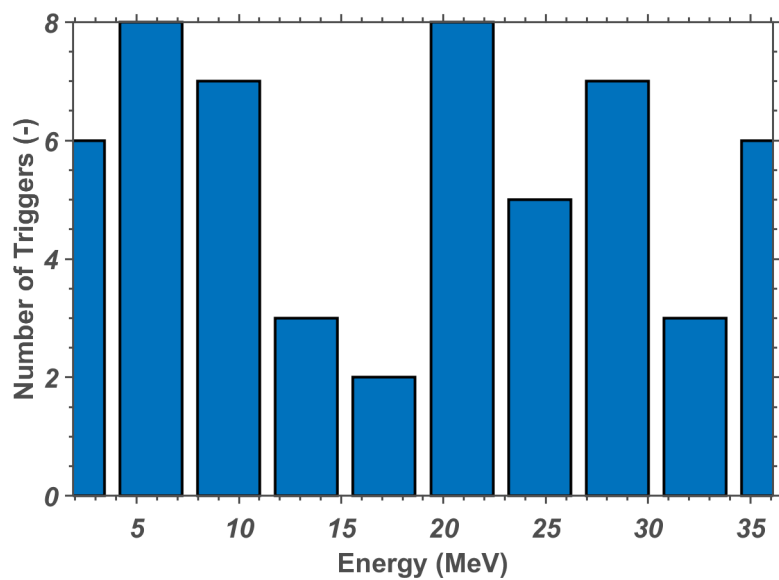


Obr. 10.13: Princip určení energie neutronů z doby letu (Time of Flight). Převzato z [20]

Výsledná naměřená data mají o něco nižší hodnoty, než bychom teoreticky předpokládali a bude ještě třeba dalšího zkoumání.



Obr. 10.14: Změřená doba letu neutronů (Time of Flight)



Obr. 10.15: Změřená energie neutronů

11

Možná vylepšení

11.1 Vylepšení měřícího přípravku

Na měřícím přípravku nebyly shledány žádné závažnější chyby. Přípravek byl navržen poměrně dobře, jediný podstatnější problém byl se zapojením FTDI převodníků. Část převodníku totiž byla ve schématu napájena ze strany USB. Toto není problém za předpokladu, že je USB připojeno. Pokud ale připojeno není, chová se FTDI převodník nestandardně a udržuje připojené zařízení v resetu. Tento problém bylo naštěstí jednoduché odstranit pomocí dvou propojovacích vodičů, které zařídili napájení celého FTDI obvodu ze zdrojů desky.

Z hlediska funkcionality by bylo možné uvažovat o doplnění dalších rozhraní na desku, pro připojení k měřící stanici. Například by bylo možné použití ethernetu či USB s vyšší přenosovou rychlostí. Lze uvažovat i o umístění vestavěné paměti či slotu na SD karty, aby předzpracovaná data mohla být ukládána přímo na desce.

Druhým možným vylepšením je zmenšení množství velkých filtračních kondenzátorů na napájecím vstupu. V současné chvíli je tam 3x 1000 uF, což je zbytečně moc. Má to za následek velké proudové špičky při připojení napájení. Také to souvisí s častým přepalováním tavné pojistky na napájecím vstupu.

11.2 Vylepšení Tester firmware

Firmware Tester FPGA byl při prvním měření neoptimální, jak z hlediska stability, tak z hlediska funkcionality. Při druhém měření byl již poměrně dobře vyladěný a při měření s ním nebyly žádné větší problémy. Do budoucna by se dalo uvažovat o doplnění některých funkcionalit a větší automatizaci měření. Například by bylo možné přímo v tester FPGA vypočítávat energii neutronu a provádět nějaké základní předzpracování dat pro další vyhodnocení. Zároveň by bylo vhodné implementovat rozsáhlejší kontroly funkce testeru a autodiagnostiku jak testeru, tak DUT.

11.3 Vylepšení DUT firmware

Největší množství vylepšení by bylo možno udělat na DUT firmware. Jak vyplývá z předchozích kapitol, nebyla optimálně zvolena topologie kombinační logiky. Aby bylo dosaženo co největšího pokrytí celého čipu FPGA, byly sčítačky syntetizovány jako široké, s šířkou slova až 80 bitů. To zajistilo pokrytí značné plochy, také to však vedlo k vytvoření velmi širokého majoritního obvodu. Ten měl ve výsledku srovnatelnou plochu s testovací logikou, což negativně ovlivnilo výsledky měření.

Jednou z možností řešení tohoto problému je použití kaskády sčítaček o užším slově. Kupříkladu vytvoření kaskády 10 sčítaček s šířkou slova 8 bitů by mohlo zabírat podobnou plochu na čipu, došlo by ale k velmi výraznému zmenšení majoritního obvodu. Způsobů, kterými by bylo možné tento problém minimalizovat, je nepřeberně mnoho.

Dalším kritériem pro zvážení je použití sudé redundance a komparátoru, namísto liché redundance a majoritního obvodu. Při měření bylo ověřeno, že fyzická velikost vyhodnocovacího obvodu má velký vliv na přínos pro spolehlivost. U popsané trojnásobné redundance při uvažování jednoho bitu je třeba použít tři dvouvstupové obvody AND a jeden třívstupový obvod typu OR. Celkem tedy čtyři hradla. Použití komparátoru a sudé redundance je z hlediska vyhodnocovacího obvodu úspornější. Porovnání těchto možností je vidět v tabulce 11.1. Je patrné, že sudá redundance s komparátorem vychází z hlediska zabraného prostoru na čipu o 10 % lépe, než lichá redundance s majoritním obvodem. Data byla vypočítána pro vzorový příklad se sčítačkou o šířce 30 bitů, s použitím programu Libero. Velikost obvodů je udána v počtu logických elementů (LE) po syntéze návrhu.

Druh redundance	Počet bloků logiky	Velikost bloků logiky (LE)	Velikost vyhodnocovacího obvodu (LE)	Poměr v procentech
Lichá	3	3 x 60	94	34,3
Lichá	5	5 x 60	167	35,7
Sudá	2	2 x 60	42	25,9

Tab. 11.1: Porovnání různých druhů redundance

12

Závěr

V první části práce byly popsány druhy ionizujícího záření a jejich možný vliv na elektroniku. Následně byly klasifikovány jednotlivé druhy poruch, které může ionizující záření způsobovat v elektronických obvodech (SEE). Poté byly popsány různé způsoby provedení redundance v digitálních obvodech, která je schopna jisté druhy chyb SEE potlačit.

Pro testování vlivu ionizujícího záření na obvody FPGA byla navržena deska plošných spojů se dvěma FPGA obvody PolarFire MPF300T, kdy jeden z obvodů byl testovaný a druhý sloužil jako testující. Na desce jsou integrovány veškeré obvody, potřebné pro správnou funkci FPGA a je umožněna konektivita s vnějším světem, prostřednictvím pinů GPIO, dvou FTDI převodníků a případně SFP modulu. V rámci diplomové práce byly vyrobeny dva kusy této desky, přičemž jedna byla použita pro měření na neutronovém svazku v Los Alamos National Laboratory a druhá na svazku fragmentů částic a těžkých iontů olova v SPS CERN.

V rámci práce byly rovněž vytvořeny dva návrhy DUT firmware, určené pro testování vlivu SEE, konkrétně SET na kombinační logiku v obvodech FPGA. Jako základní blok testované logiky byla zvolena plná sčítačka, popsaná jazykem VHDL jako generická n -bitová. Pro testování byla na základě rešerše zvolena lichá modulární redundance. Za tímto účelem byl v jazyce VHDL popsán majoritní obvod, s generickými parametry jako n -bitový a s m -vstupy.

Pro měření v LANL byly připraveny dva návrhy, jeden s trojnásobnou modulární redundancí a druhý s pětinasobnou. Kvůli nedostatku času a poruše na paprsku byla nakonec odměřena důkladně pouze varianta pětinasobné modulární redundance. Druhé měření probíhalo v SPS CERN a i zde byla měřena primárně varianta pětinasobné redundance.

Poté byly výsledky zpracovány. Podrobné výsledky jsou rozebrány v předchozích kapitolách, lze je shrnout tím, že modulární redundance zvyšuje spolehlivost systému, pokud je dobře navržena. V provedeném návrhu byla neoptimálně navržena testovací logika, což vedlo k velkému fyzickému rozměru majoritních obvodů na čipu. Z toho důvodu docházelo poměrně často ke vzniku stavů, kdy selhal majoritní obvod v důsledku zásahu částice. Řešením je poměrně jednoduchá úprava testované logiky tak, aby její výstup více

odpovídal reálné situaci a reálné šířce sběrnice. Podnětem pro další výzkum je použití sudé redundance a komparátoru, což se ukázalo jako úspornější z hlediska prostoru na čipu, v porovnání s lichou redundancí a majoritním obvodem.

V testovaném obvodu nebyl pouze jeden blok logiky, ale celá matice bloků. To umožňuje lokalizace chyb na čipu a jejich následné zobrazení do prostoru. Naměřená data budou podrobena dalšímu zpracování a mohou být dána do vztahu s daty z detektorů Timepix 3. To je předmětem dalšího zkoumání.

Literatura

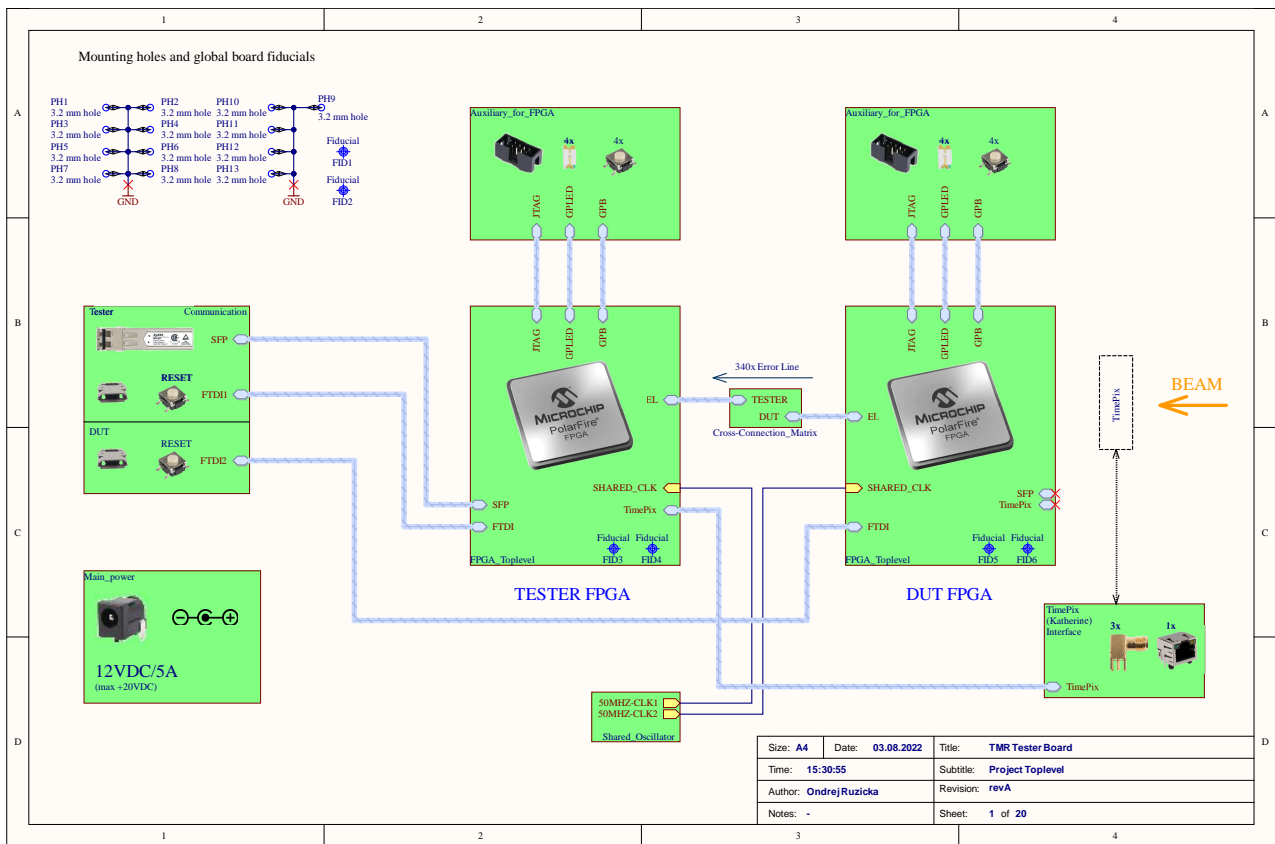
- [1] BENCKO, Vladimír. Hygiena: učební texty k seminářům a praktickým cvičením. 2. přeprac. vyd. Praha: Karolinum, 1998. ISBN 80-7184-551-5.
- [2] What is Alpha Decay – Alpha Radioactivity – Definition [online]. [cit. 2023-04-26]. Dostupné z: https://www.radiation-dosimetry.org/what-is-alpha-decay-alpha-radioactivity-definition/?utm_content=cmp-true
- [3] KRÁLOVÁ, Magda. Záření alfa [online]. 2007 [cit. 2023-01-20]. Dostupné z: <http://edu.techmania.cz/cs/encyklopedie/fyzika/atomy-castice/prirozena-radioaktivita/zareni-alfa>
- [4] DARLING, David. Alpha particle [online]. 2010 [cit. 2023-04-27]. Dostupné z: <https://www.daviddarling.info/encyclopedia/A/alphapart.html>
- [5] Typy radioaktivních přeměn [online]. [cit. 2023-04-27]. Dostupné z: http://artemis.osu.cz/mmfyz/jm/jm_2_2_2.htm
- [6] Beta Decay – Beta Radioactivity [online]. [cit. 2023-04-26]. Dostupné z: <https://www.nuclear-power.com/nuclear-power/reactor-physics/atomic-nuclear-physics/radioactive-decay/beta-decay-beta-radioactivity/>
- [7] Záření gama [online]. 2018 [cit. 2023-01-20]. Dostupné z: https://www.wikiskripta.eu/w/Z%C3%A1%C5%99en%C3%AD_gama
- [8] What is Gamma Decay – Gamma Radioactivity – Definition [online]. [cit. 2023-04-26]. Dostupné z: <https://www.radiation-dosimetry.org/what-is-gamma-decay-gamma-radioactivity-definition/>
- [9] Radiation Basics [online]. 2023 [cit. 2023-04-27]. Dostupné z: <https://www.epa.gov/radiation/radiation-basics>
- [10] DENDY, P. P. a B. HEATON. Physics for diagnostic radiology. 2nd ed. Philadelphia: Institute of Physics Pub., c1999. ISBN 978-0-7503-0591-4.
- [11] BECKURTS, K. H. a K. WIRTZ. Neutron Sources. In: BECKURTS, K. H. a K. WIRTZ. Neutron Physics [online]. Berlin, Heidelberg: Springer Berlin Heidel-

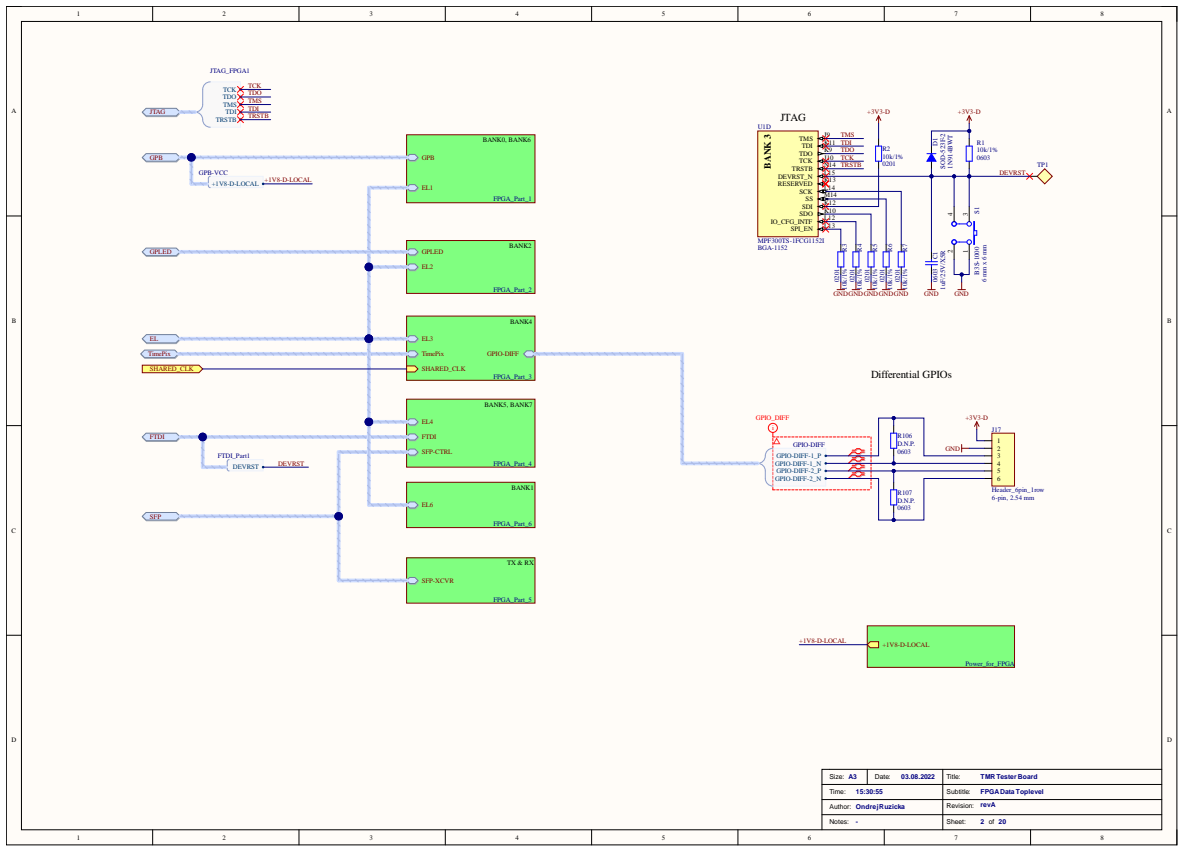
- berg, 1964, 1964, s. 22-54 [cit. 2023-04-27]. ISBN 978-3-642-87616-5. Dostupné z: doi:10.1007/978-3-642-87614-1_2
- [12] Neutronové záření [online]. 2012 [cit. 2023-01-20]. Dostupné z: http://enpedie.cz/wiki/Neutronov%C3%A9_z%C3%A1%C5%99en%C3%AD
- [13] KARMAKAR, Arijit. A tutorial in radiation-induced single event upsets [online]. [cit. 2023-04-26]. Dostupné z: <https://embeddedcomputing.com/technology/processing/radiation-hardened-circuit-design-a-tutorial-study>
- [14] Space Radiation Effects On Electronics – Single Event Effects [online]. 2021 [cit. 2023-01-23]. Dostupné z: <https://spacetalos.com/news/space-radiation-effects-on-electronics-single-event-effects/>
- [15] R. Marec et al., "Specific Characterization for Destructive Single Event Effects on GaAs Power P-HEMT MMIC," 2013 IEEE Radiation Effects Data Workshop (REDW), San Francisco, CA, USA, 2013, pp. 1-5, doi: 10.1109/REDW.2013.6658216.
- [16] BOSSER, Alexandre Louis. SINGLE-EVENT EFFECTS OF SPACE AND ATMOSPHERIC RADIATION ON MEMORY COMPONENTS [online]. Jyväskylä, Finland, 2017 [cit. 2023-01-23]. https://jyx.jyu.fi/bitstream/handle/123456789/56348/1/A_Bosser_%20Doctoral%20thesis_%20v12_FINAL.pdf. University of Jyväskylä.
- [17] Single Event Effects Mitigation Techniques Report [online]. Springfield, Virginia, 2016 [cit. 2023-01-23]. Dostupné z: https://www.faa.gov/aircraft/air_cert/design_approvals/air_software/media/TC-15-62.pdf
- [18] Destructive Single-Event Effects in Semiconductor Devices and ICs [online]. 2003 [cit. 2023-01-23]. Dostupné z: https://sirad.pd.infn.it/candelor/Parte6/TNS2003_SEB_SEGR_OKPerCorso.pdf
- [19] TARASYUK, Anton, Elena TROUBITSYNA a Linas LAIBINIS. From Formal Specification in Event-B to Probabilistic Reliability Assessment. In: 2010 Third International Conference on Dependability [online]. IEEE, 2010, 2010, s. 24-31 [cit. 2023-04-26]. ISBN 978-1-4244-7530-8. Dostupné z: doi:10.1109/DEPEND.2010.12
- [20] Time of Flight Techniques: Neutron Time-of-Flight [online]. [cit. 2023-04-27]. Dostupné z: <https://lansce.lanl.gov/facilities/time-of-flight.php>
- [21] Working Environments [online]. [cit. 2023-05-02]. Dostupné z: <https://www.iroctech.com/library/working-environments/>

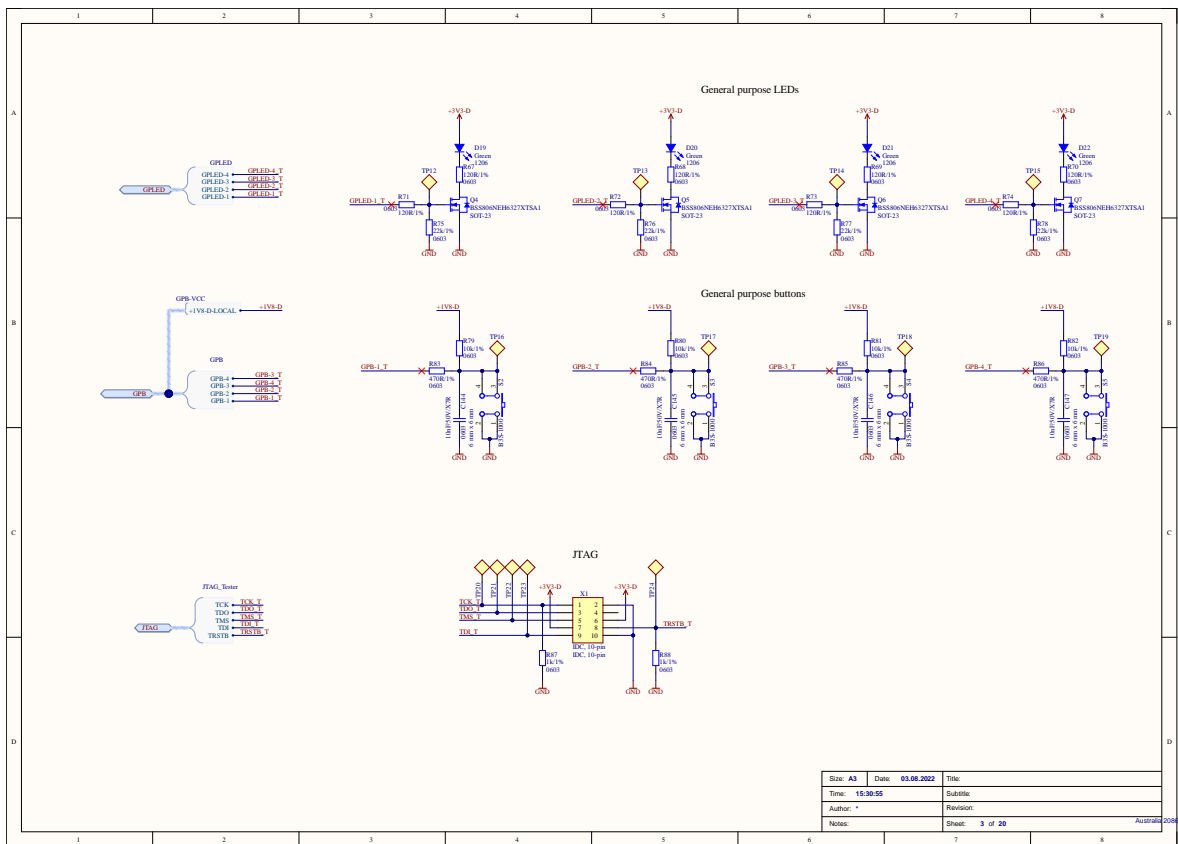
- [22] Target 4 Flight Path 30R [online]. [cit. 2023-05-02]. Dostupné z:
<https://lansce.lanl.gov/facilities/wnr/flight-paths/fp-30R/about.php>

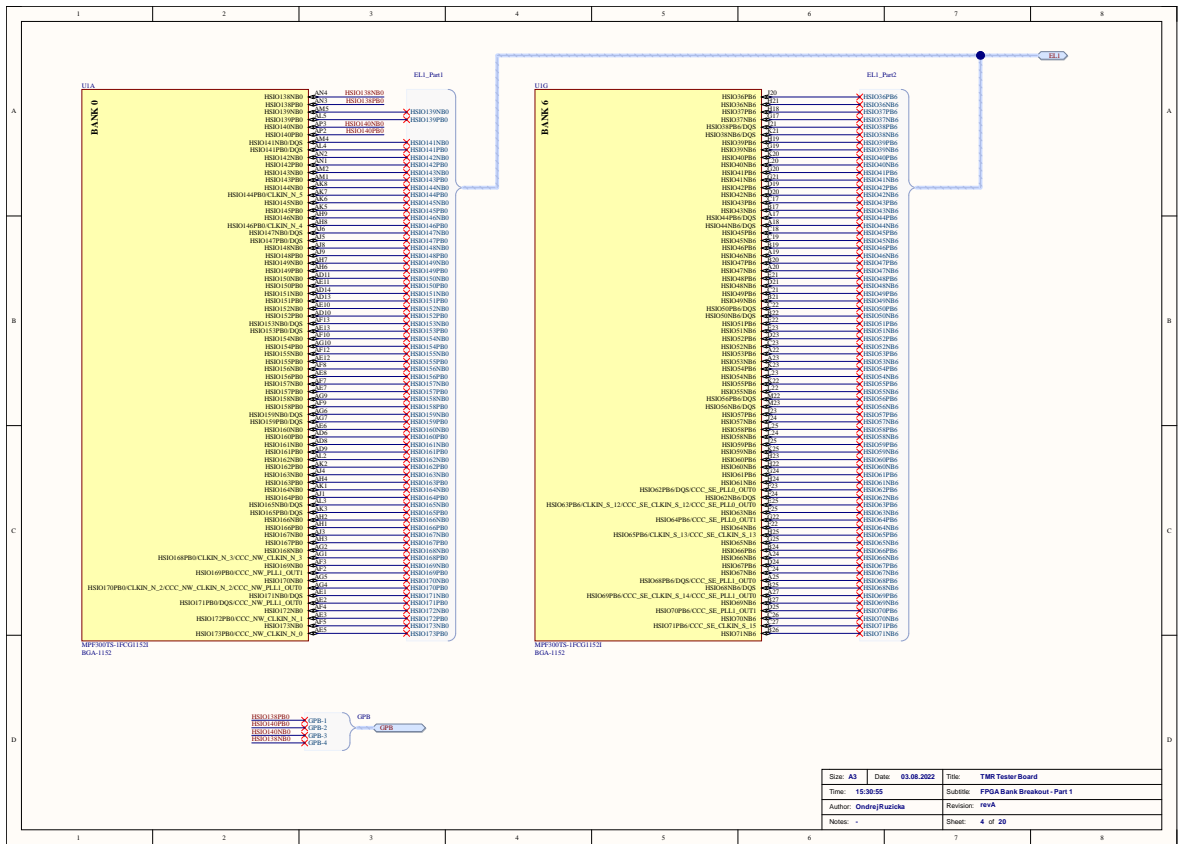
Příloha A

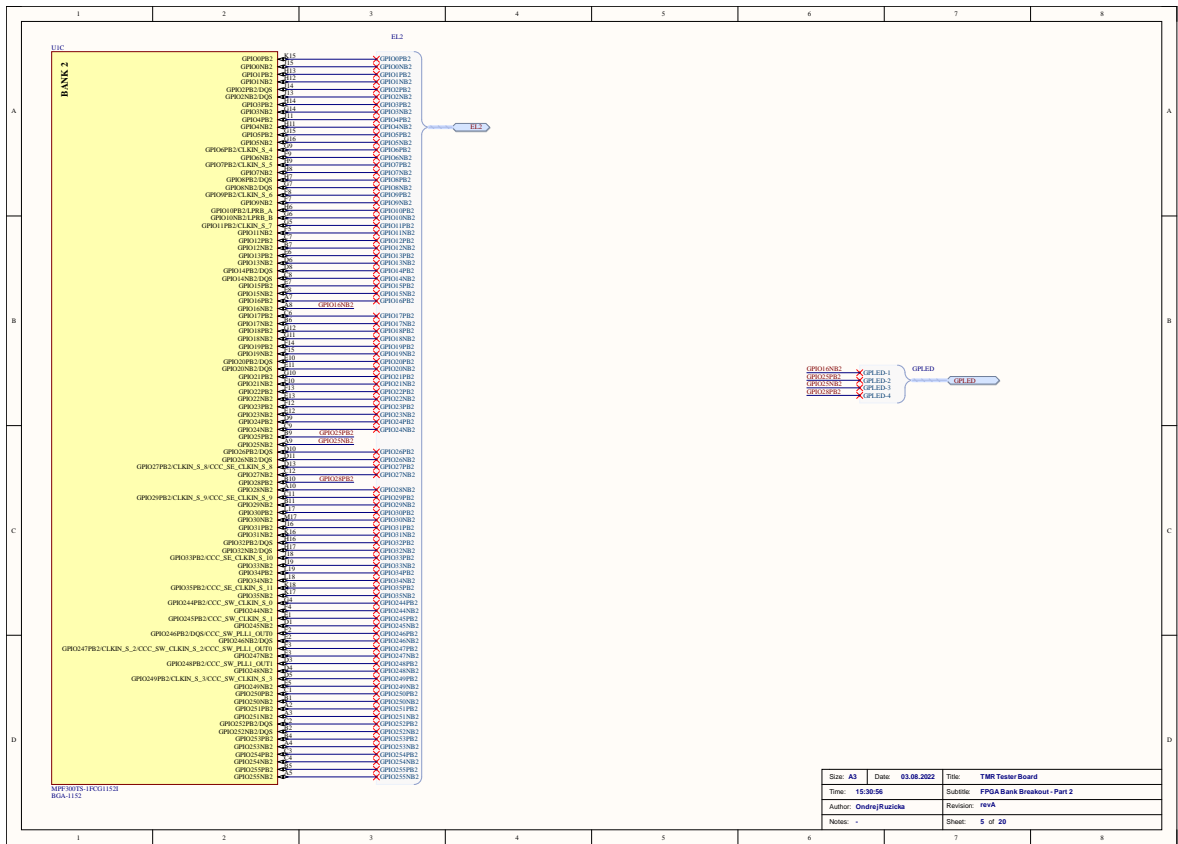
Schéma testovací desky

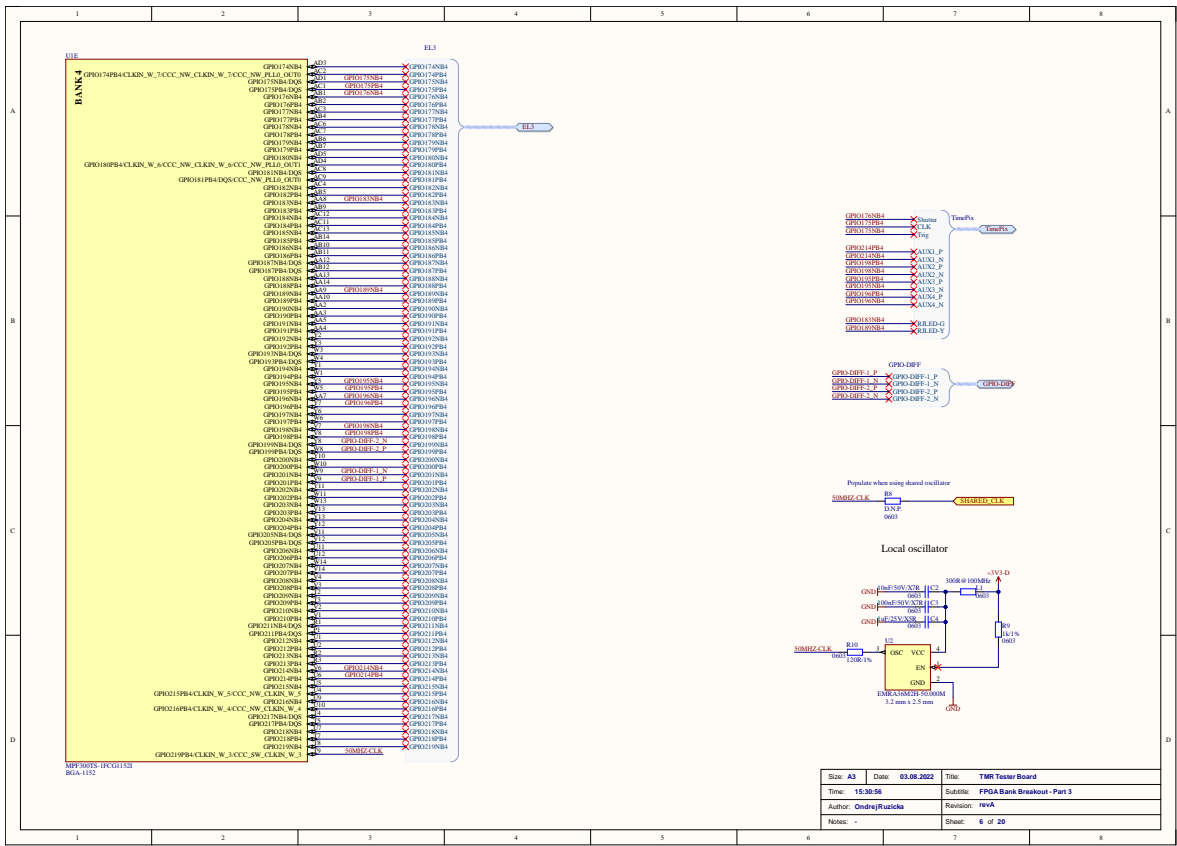


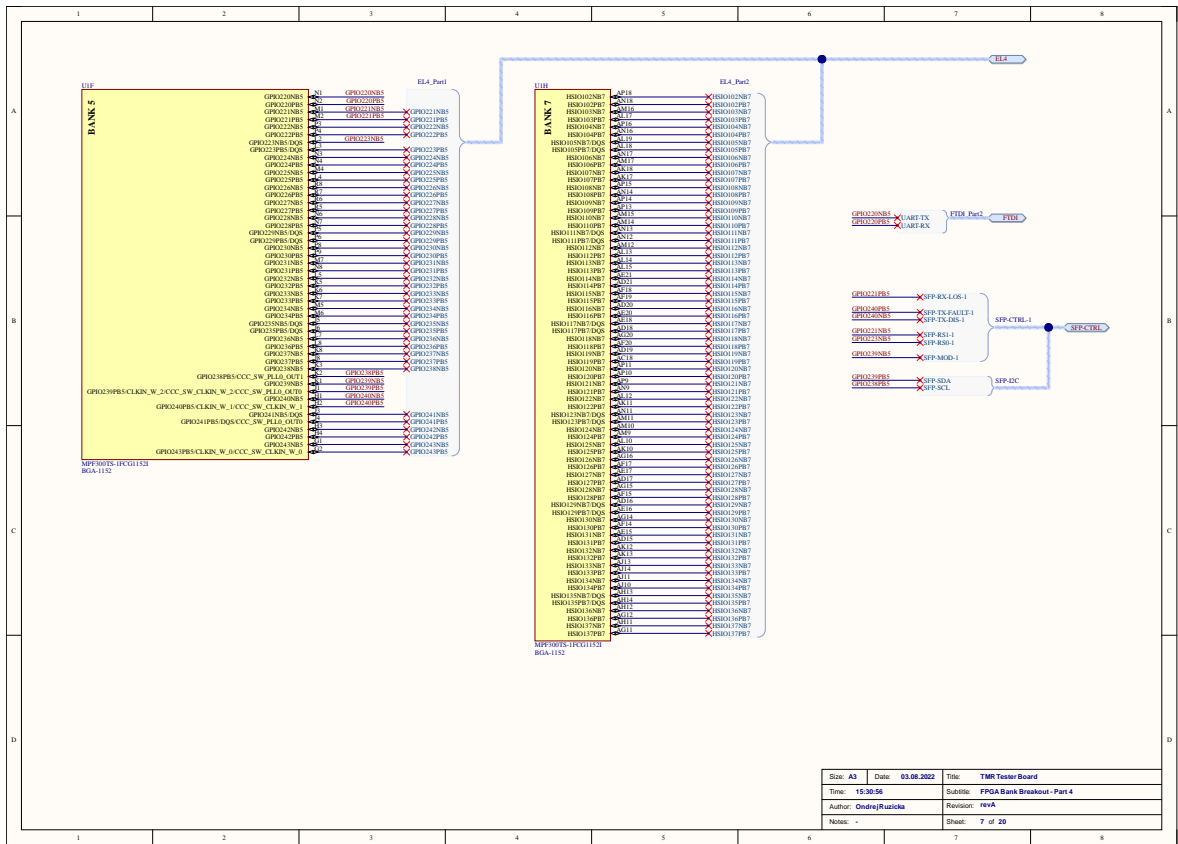


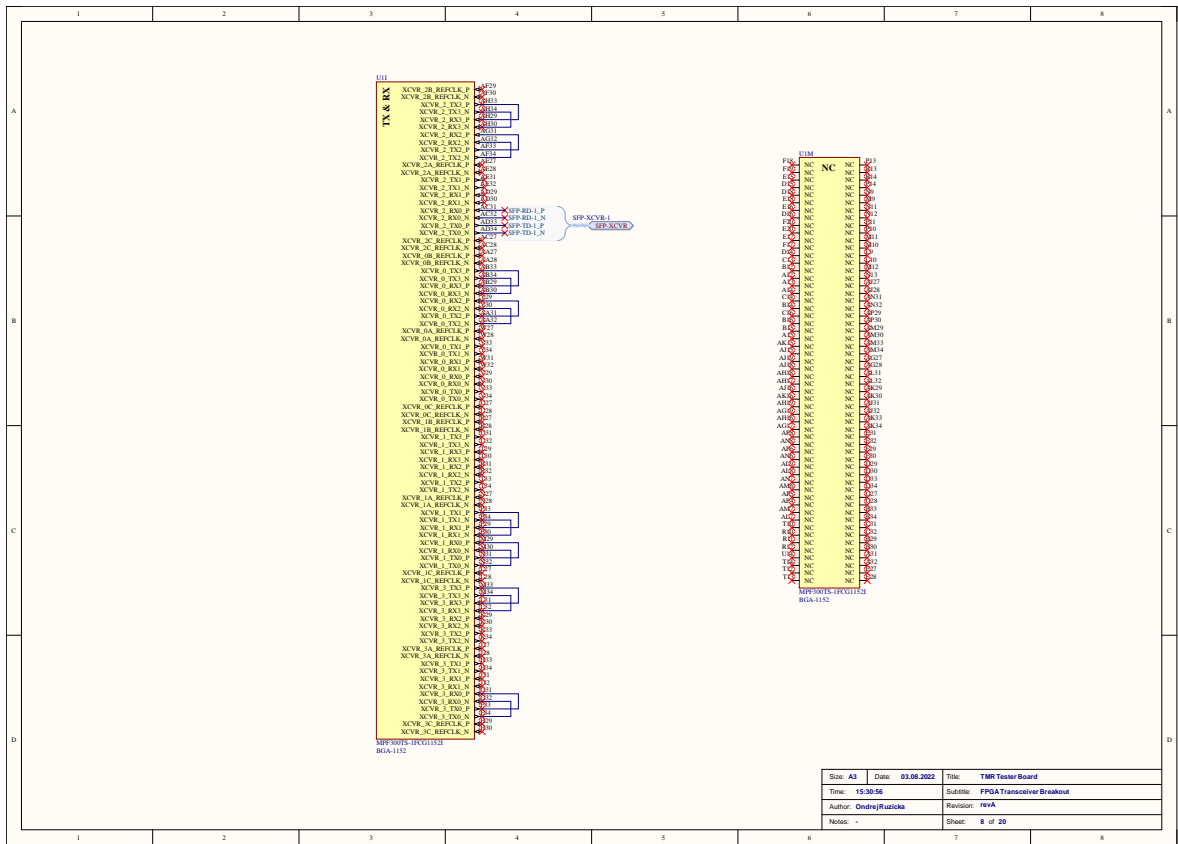


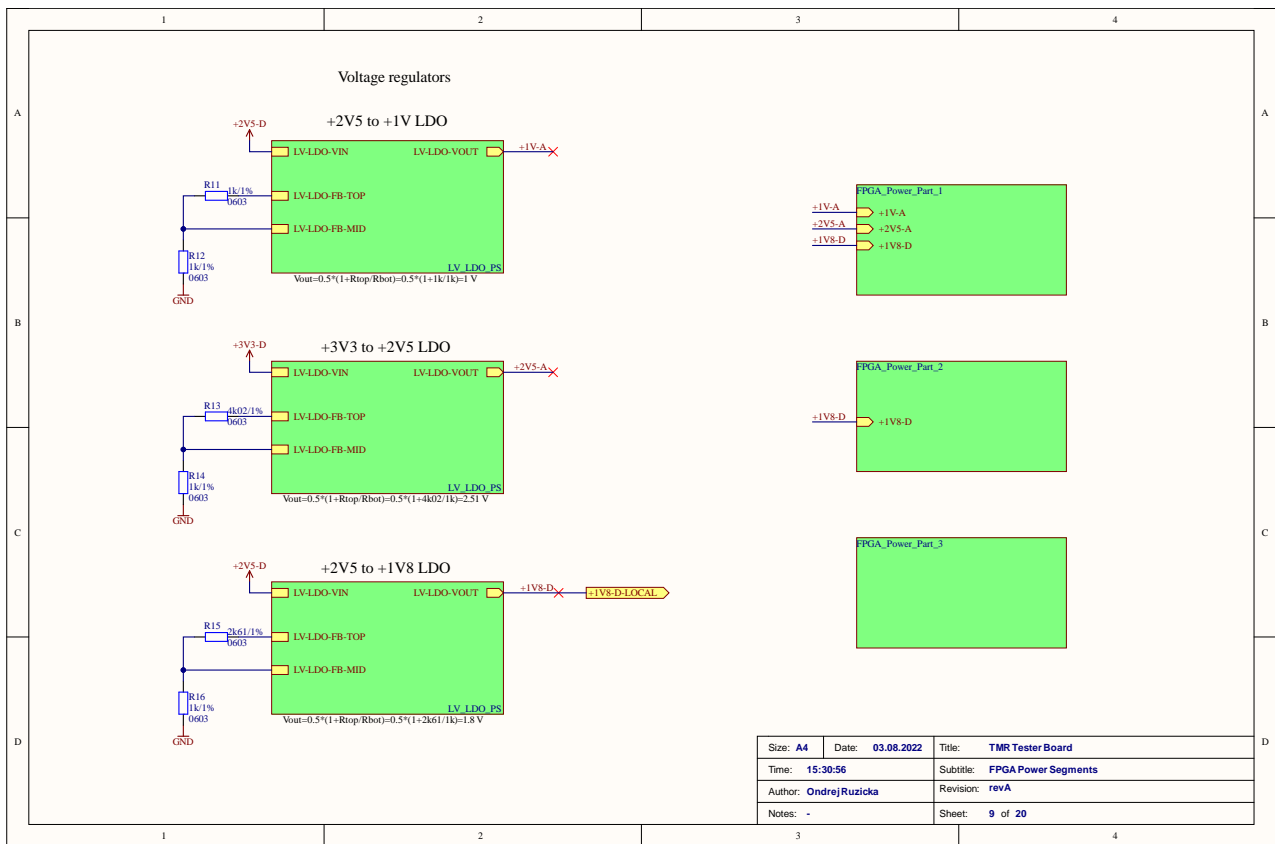


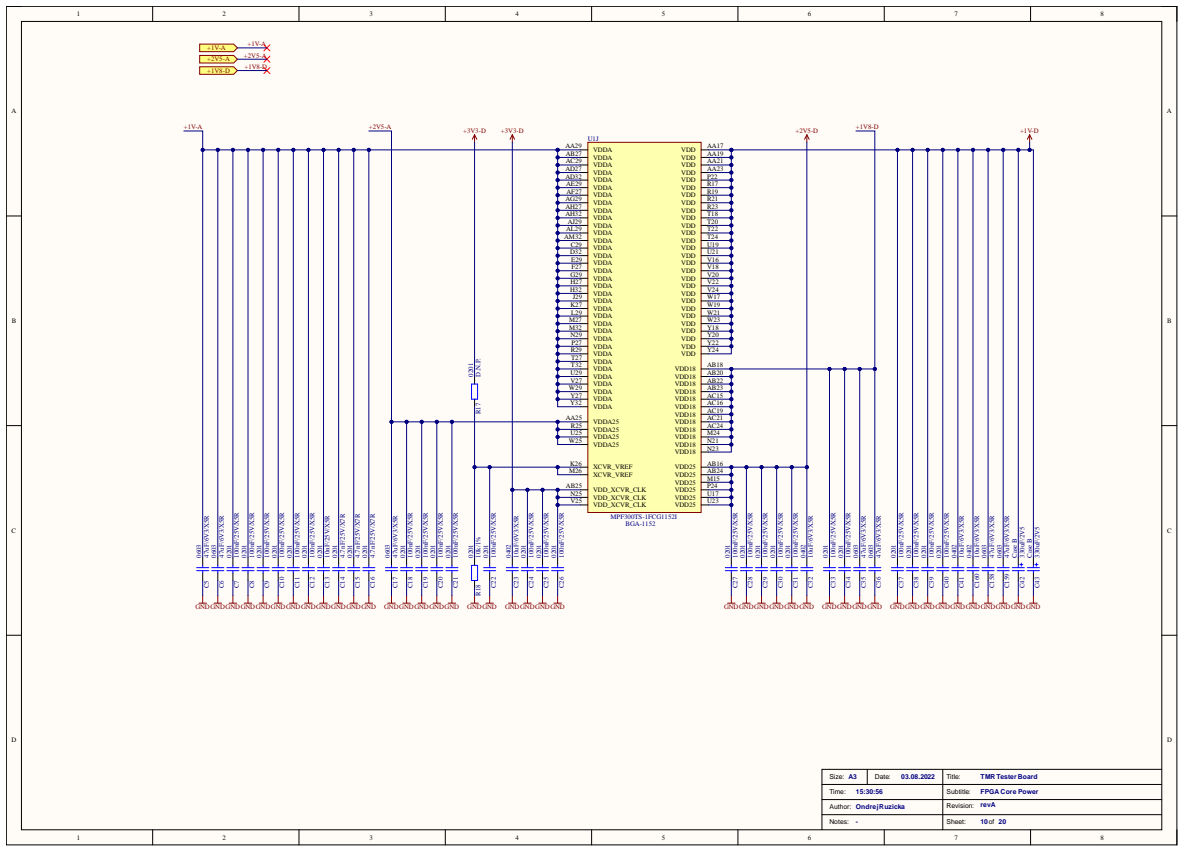


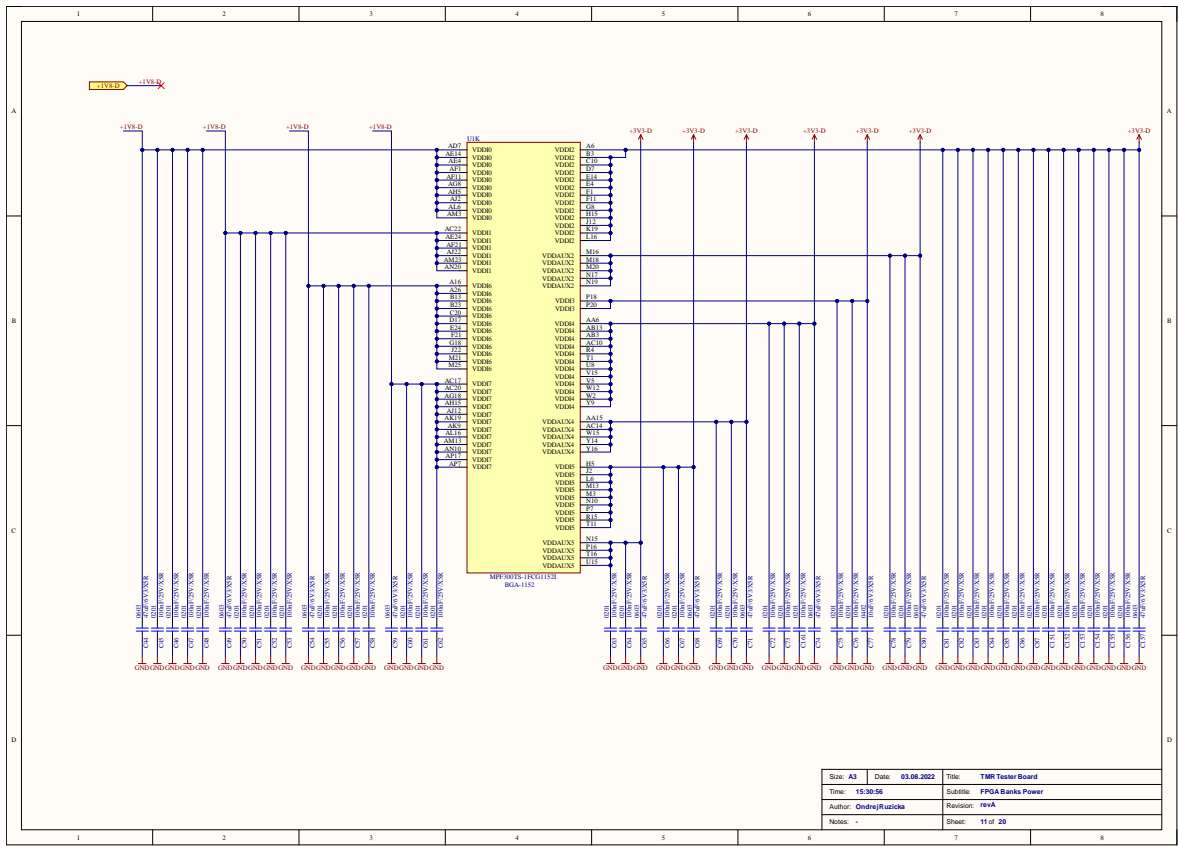




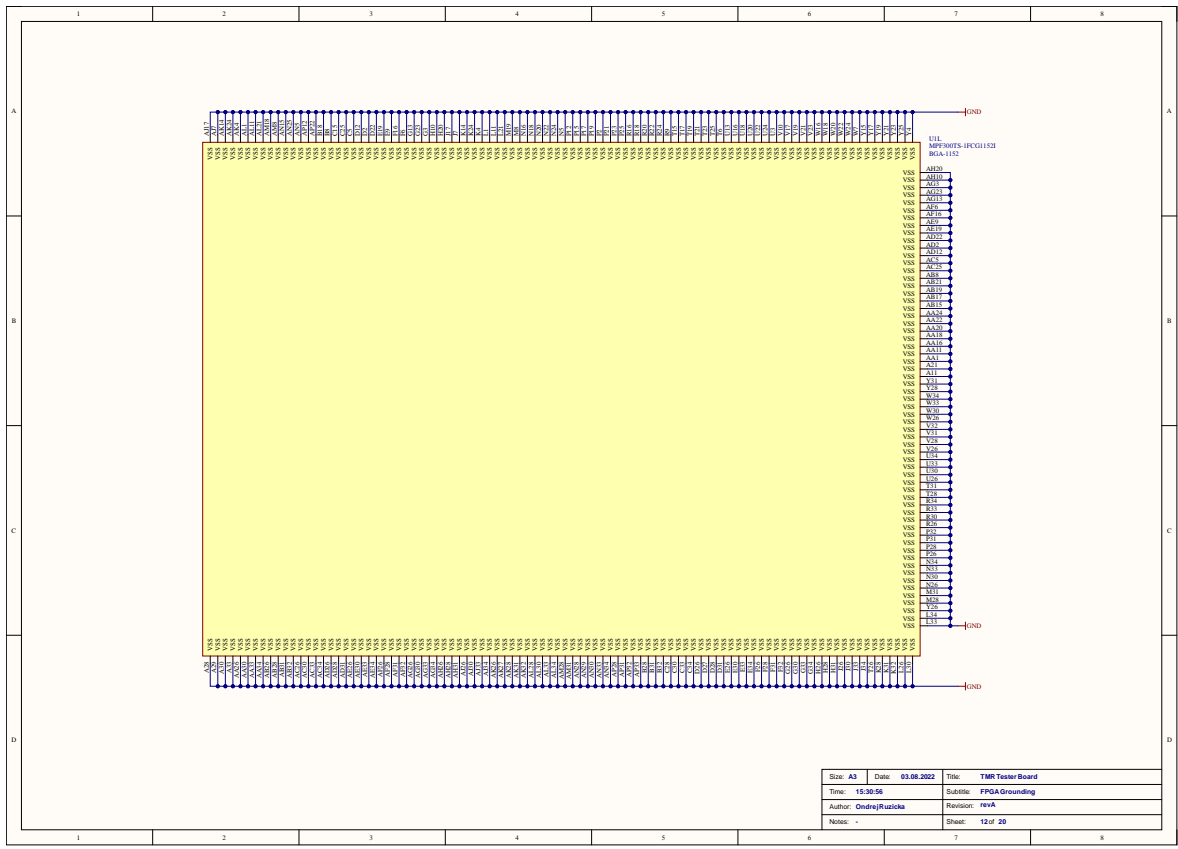




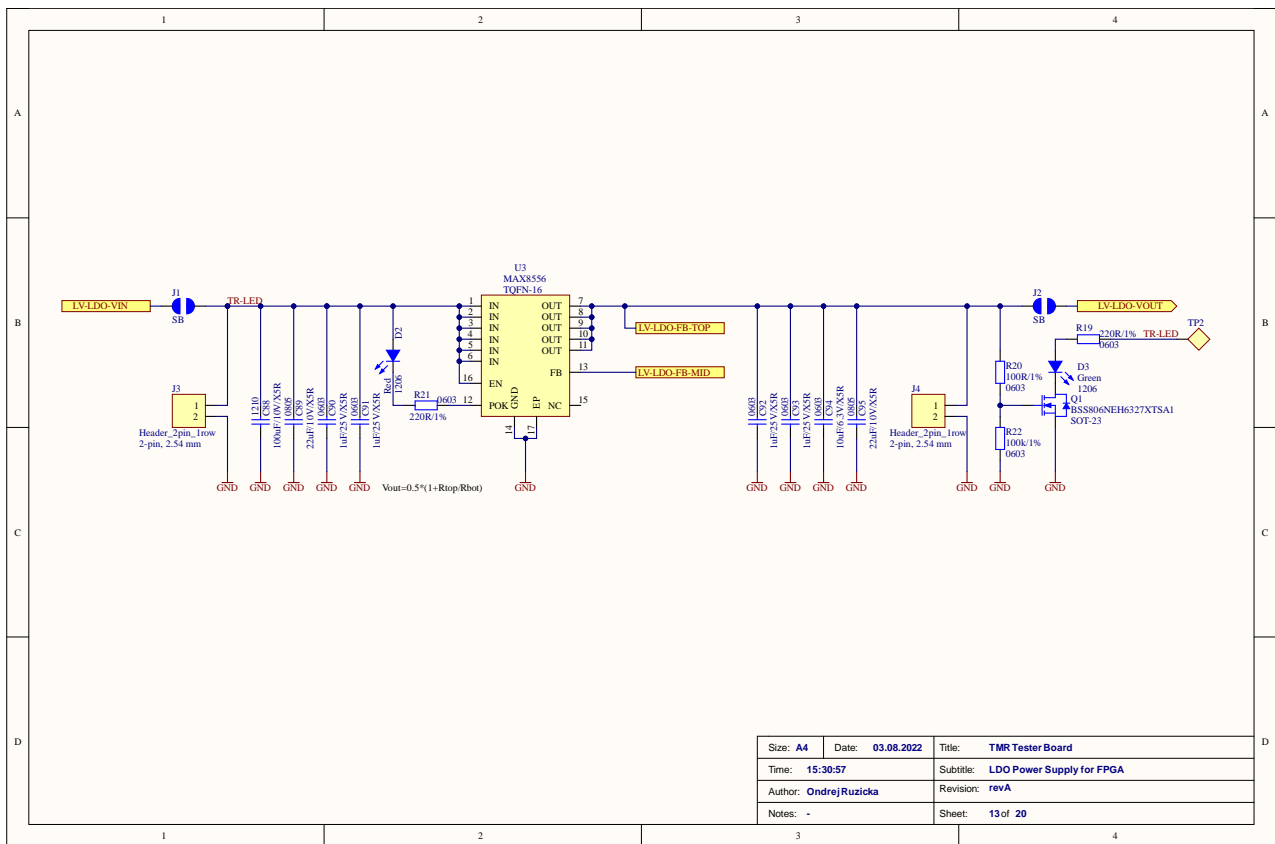


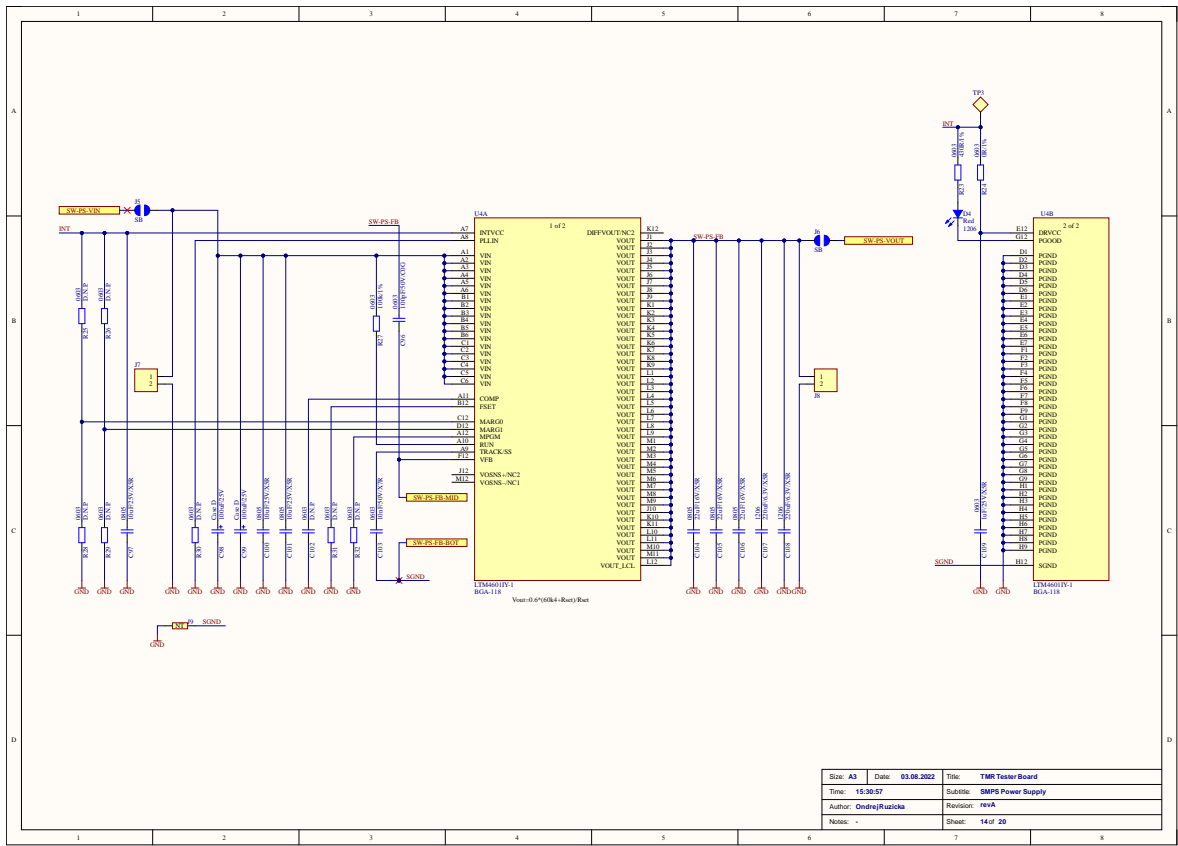


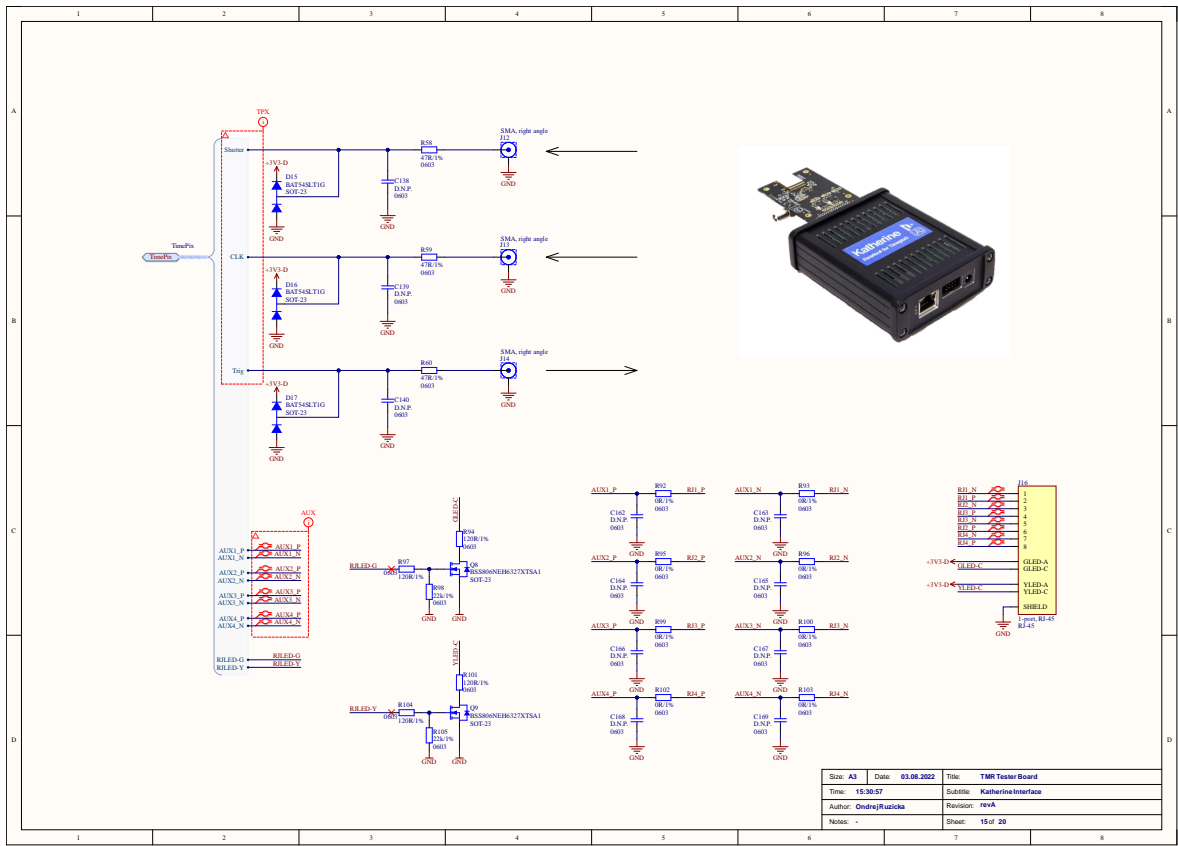
Size: A3	Date: 03.08.2022	Title: TMR Tester Board
Time: 15:30:56		SubTitle: FPGA Banks Power
Author: OndrejRuzicka		Revision: RWA
Notes: -		Sheet: 11 of 20

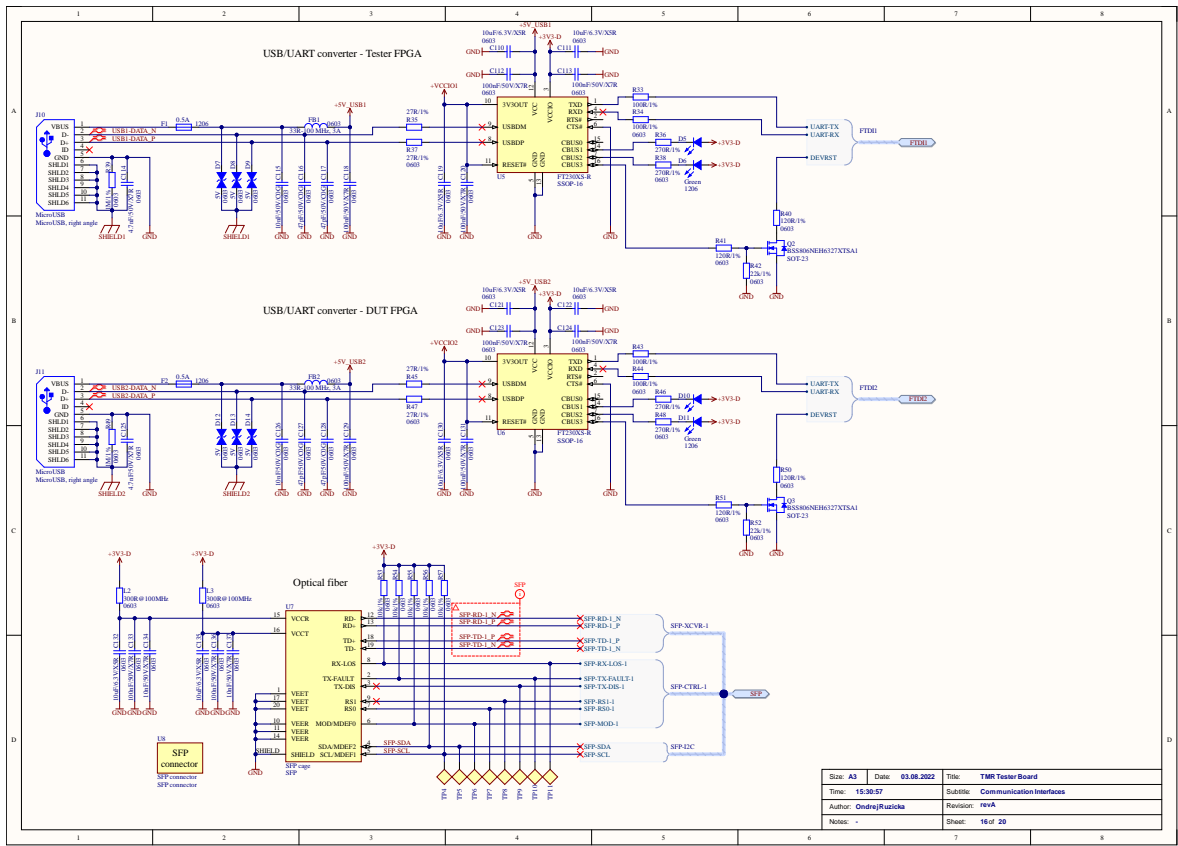


Size: A3	Date: 03.08.2022	Title: TMR Tester Board
Time: 15:30:56		Subtitle: FPGA Grounding
Author: OndrejRuzicka		Revision: RWA
Notes: -		Sheet: 12 of 20









Size: A3	Date: 03.08.2022	Title: TMR Tester Board
Time: 15:30:57	Subtitle: Communication Interfaces	
Author: Ondrej Ruzicka	Revision: RWA	
Notes: -	Sheet: 16 of 20	

