ZÁPADOČESKÁ UNIVERZITA V PLZNI

FAKULTA ELEKTROTECHNICKÁ

KATEDRA APLIKOVANÉ ELEKTRONIKY
A TELEKOMUNIKACÍ

DIPLOMOVÁ PRÁCE

Užití programovatelného pole Altera pro číslicové modulace

Autor práce: Bc. Pavel Broulím

Vedoucí práce: Ing. Vladimír Pavlíček, Ph.D.

Plzeň 2013

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: **2012/2013**

ZADÁNÍ DIPLOMOVÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení:	**Pavel BROULÍM**
Osobní číslo:	**E11N0049P**
Studijní program:	**N2612 Elektrotechnika a informatika**
Studijní obor:	**Elektronika a aplikovaná informatika**
Název tématu:	**Užití programovatelného pole Altera pro číslicové modulace**
Zadávající katedra:	**Katedra aplikované elektroniky a telekomunikací**

Zásady pro vypracování:

1. Prostudujte možnosti vývojové desky Altera a Toolboxu Altera DSP v prostředí Matlab Simulink.
2. Prostudujte možná řešení číslicových modulací a v prostředí Simulink navrhněte a odsimulujte číslicovou modulaci BPSK (modulátor a demodulátor), včetně přenosového kanálu.
3. Dané řešení realizujte v obvodech FPGA s možností měnit parametry přenosového kanálu.
4. Proveďte měření hlavních parametrů v reálném čase a zhodnoťte dosažené výsledky.

Rozsah grafických prací:	**podle doporučení vedoucího**
Rozsah pracovní zprávy:	**30 - 40 stran**
Forma zpracování diplomové práce:	**tištěná/elektronická**

Seznam odborné literatury:

1. **S. A. Tretter: Communication System Design Using DSP Algorithms**

Vedoucí diplomové práce:	**Ing. Vladimír Pavlíček, Ph.D.** Katedra aplikované elektroniky a telekomunikací
Konzultant diplomové práce:	**Ing. Richard Linhart, Ph.D.** Katedra aplikované elektroniky a telekomunikací
Datum zadání diplomové práce:	**15. října 2012**
Termín odevzdání diplomové práce:	**9. května 2013**

Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan

L.S.

Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 15. října 2012

Anotace

Broulím Pavel. Užití programovatelného pole Altera pro číslicové modulace. Katedra aplikované elektroniky a telekomunikací, Západočeská univerzita v Plzni – Fakulta elektrotechnická, 2013, 74 s., vedoucí: Ing. Vladimír Pavlíček, Ph.D.

Tato diplomová práce se zabývá užitím programovatelného pole Altera pro číslicové modulace. Je navržen BPSK modulátor a BPSK demodulátor. Pro navržené řešení je provedena simulace a řešení je realizováno v programovatelném poli. Pro simulaci a realizaci je zahrnut vliv přenosového kanálu. Pro modulátor a demodulátor jsou provedena měření a měření jsou zhodnocena.

Klíčová slova

Číslicové modulace, BPSK, Costasova smyčka, Altera, FPGA, DSP Builder, Simulink

Abstract

Broulím Pavel. Digital modulations demonstration using Altera FPGA. Department of applied electronics and telecommunications, University of West Bohemia in Pilsen – Faculty of electrical engineering, 2013, 74 p., head: Ing. Vladimír Pavlíček, Ph.D.

This diploma thesis is concerned with digital modulations demonstration using Altera programmable device. BPSK modulator and BPSK demodulator are designed. Simulation on proposed desing is performed and this design is implemented in programmable device. Simulation and implementation are performed including effect of transmission channel. Measurements and results are discussed.

Key Words

Digital Modulations, BPSK, Costas Loop, Altera, FPGA, DSP Builder, Simulink

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne ....

Podpis

Poděkování

Tímto bych rád poděkoval Ing. Vladimíru Pavlíčkovi, Ph.D. a Ing. Richardu Linhartovi, Ph.D. za cenné rady a připomínky při vzniku této diplomové práce.

Obsah

Obsah 5

1. Úvod 7

2. Přehled modulací 9

2.1 BPSK modulace 11

2.1.1 Modulátor BPSK 13

2.1.2 Demodulátor BPSK 14

2.2 Chybovost BPSK modulace 16

2.2.1 Pravděpodobnost chyby 16

2.2.2 Zkoumání chybovosti 18

3. Jazyk VHDL 20

4. Vývojové prostředky 22

4.1 Simulink 22

4.2 Altera DSP Builder 23

4.3 Altera Development Kit 25

4.4 Programovatelné pole FPGA 27

5. Vlastní řešení 28

5.1 BPSK Modulátor 28

5.2 BPSK Demodulátor 36

6. Dosažené výsledky 42

6.1 Simulace 42

6.1.1 Modulátor bez filtrace 42

6.1.2 Modulátor s předmodulační filtrací 42

6.1.3 Demodulátor 44

6.1.4 Demodulátor s vlivem přenosového kanálu 46

6.2 Měření 49

6.2.1 Modulátor 49

6.2.2 Demodulátor 53

7. Závěr 59

Seznam obrázků 61

Seznam tabulek 64

Literatura a zdroje 65

Přílohy 67

Vysílané pakety 67

Koeficienty filtrů 69

Blokové schéma modulátoru 70

Blokové schéma modulátoru s předmodulační filtrací 71

Blokové schéma demodulátoru 72

Signály nezavěšené Costasovy smyčky 73

1. Úvod

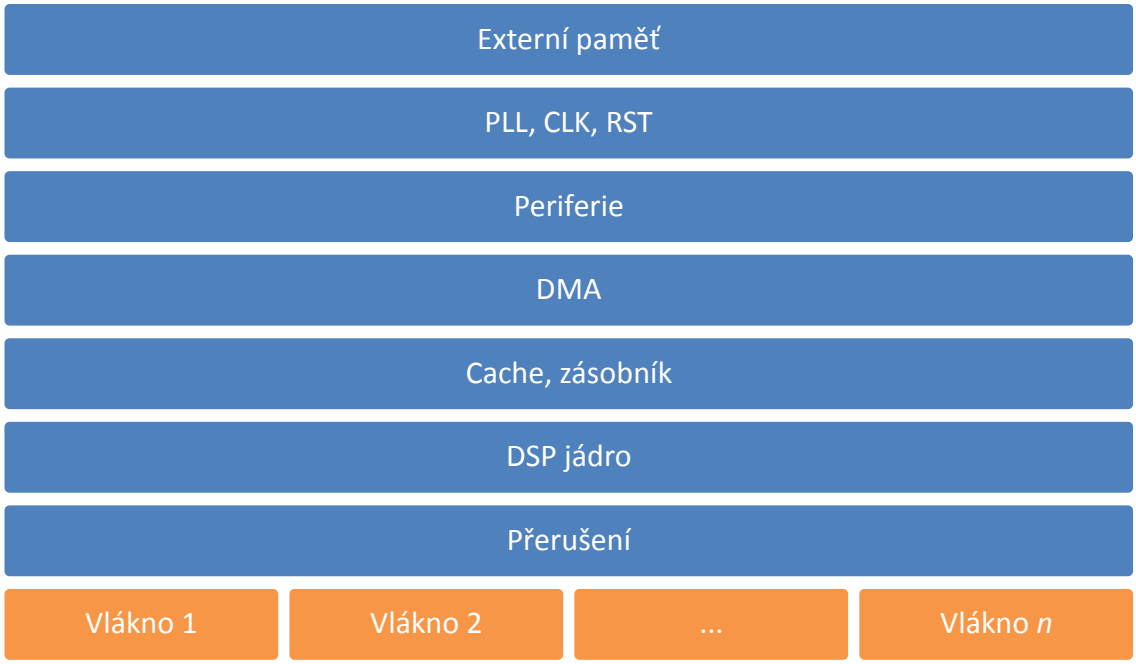
Tato práce se zabývá možností využití programovatelného pole Altera pro číslicové modulace. Z číslicových modulací je zvolena BPSK modulace, tím se jedná o dvoustavové fázové klíčování. Dvoustavová modulace je vybrána z důvodu demonstrace možnosti využití programovatelného pole. Použití vícestavové modulace přímo nekomplikuje řešení, ale vyřešením modulace pro dva stavy se řešení pro více stavů výrazně neliší v základní struktuře.

Cílem práce je vytvoření simulace BPSK modulace (modulátoru a demodulátor) v prostředí Matlab Simulink, v simulace je zahrnut i vliv přenosového kanálu. Vytvořené řešení modulátoru a demodulátoru je prakticky realizováno ve vývojové desce Altera. Další součástí této práce jsou naměřené hodnoty parametrů BPSK modulace v konkrétním řešení v programovatelném poli Altera. Cíl je zjistit vliv přenosového kanálu.

Použití BPSK modulace je převážně jako sekundární kanál v přenosech, dále se využívá u rozhlasového FM vysílání pro systém RDS. Další využití je možné např. v systémech RFID.

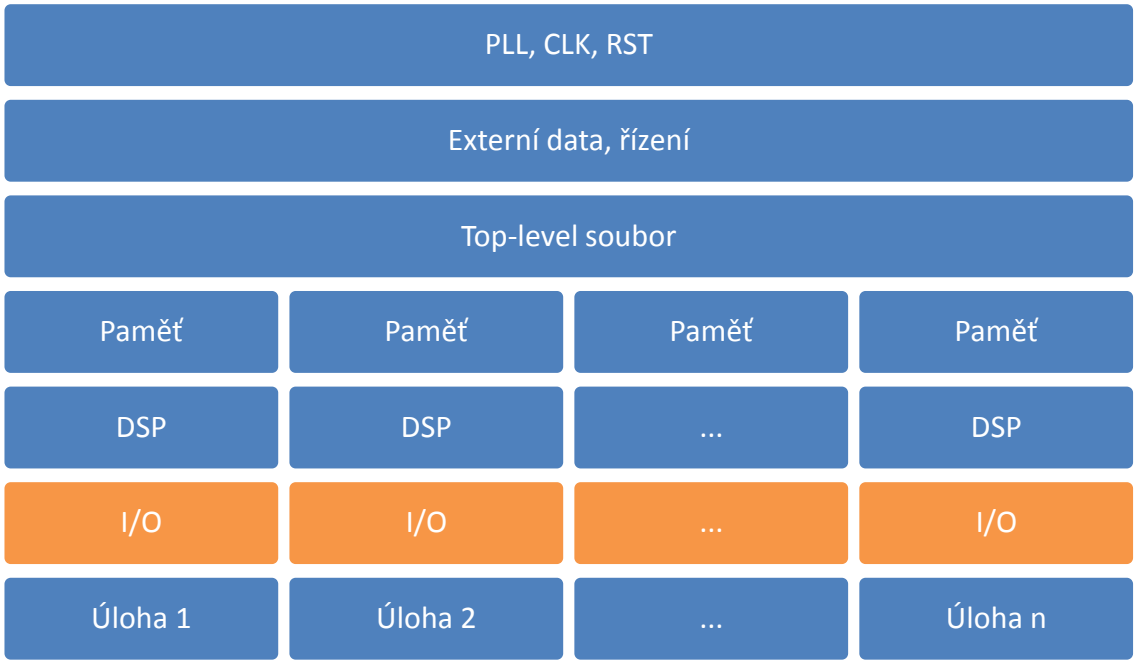
K vytvoření modulátoru a demodulátoru je zvolena vývojová deska obsahující programovatelné pole FPGA. K tomuto účelu byla vybrána vývojová deska Altera DSP2C70. Využití FPGA je v dnešní době jedna z moderních možností pro zpracování signálu místo použití signálových procesorů.

Výhoda těchto polí spočívá v možnosti paralelního zpracování oproti sekvenčnímu zpracování v procesorech. V současné době je také možností použití programovatelných polí v kombinace s procesorem, kde jsou pro tuto možnost pole FPGA připravena. Pro ilustraci je na Obr. 1.1 naznačeno blokové schéma digitálního signálového procesoru.



Obr. 1.1: Blokové schéma digitálního signálového procesoru

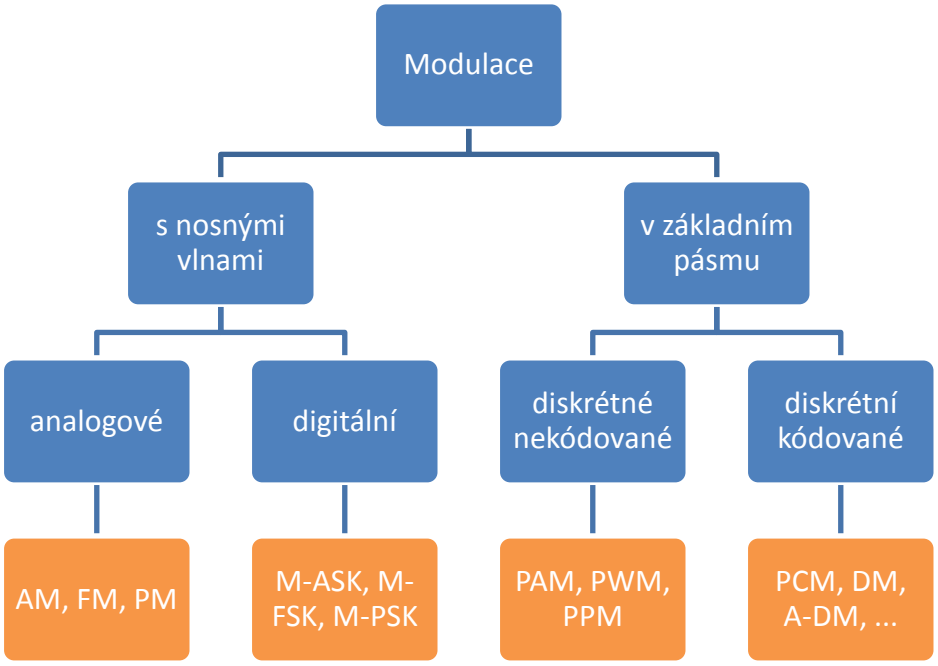
Počet vláken u digitálního signálového procesoru je velmi omezen, kde předávání dat mezi vlákny není jednoduché. U FPGA jsou možnosti paralelního zpracování větší, omezení je převážně v počtu logických elementů daného FPGA. Na Obr. 1.2 je znázorněno blokové schéma FPGA, kde je vidět nezávislost několika úloh, které si mezi sebou mohu předávat data, propojení je vyznačeno jinou barvou.



Obr. 1.2: Blokové schéma FPGA

2. Přehled modulací

Základní rozdělení modulací je na modulace s nosnou vlnou a modulace v základním pásmu. Toto rozdělení je znázorněno na Obr. 2.1. Starší modulace jsou analogové s vysokofrekvenční nosnou vlnou, kde spojitý signál (v amplitudě i čase) ovlivňuje některý z jejích parametrů. V případě ovlivnění amplitudy se jedná o amplitudovou modulaci, při změně frekvence nosné vlny jde o modulaci frekvenční, jestliže se ovlivňuje fáze, jedná se o fázovou modulaci.



Obr. 2.1: Přehled rozdělení modulací

Dále lze modulace rozdělit na diskrétní nekódované a kódované modulace v základním pásmu. Mezi diskrétní nekódované modulace v základním pásmu patří pulzní amplitudová modulace (PAM). Tato modulace vznikne spínáním spínače pravoúhlými impulzy, na který se přivádí analogový signál. Další možností je měnit šířku impulzové nosné vlny a tím vzniká pulzní šířková modulace (PWM). Pokud se ovlivní jejich poloha, vytváří se pulzní polohová modulace (PPM). Nejrozšířenějším zástupcem diskrétních kódovaných modulací je pulzně kódová modulace (PCM). Vznik této modulace je z pulzně amplitudové modulace, která se rozdělí na počet kvantizačních hladin (kvantování). Každé této hladině je poté přiřazen kód. Další modulací je např. diferenční pulzně kódová modulace (D-PCM), delta modulace (DM), která je jednobitová varianta PCM. Tyto modulace mají konstantní kvantizační krok,

pokud se tento krok mění v závislosti na průběhu analogového modulačního signálu, jedná se o adaptivní diferenční PCM (AD-PCM) nebo adaptivní delta modulaci (A-DM).

Diskrétní modulace (digitální) s nosnou vlnou vznikají modulováním diskrétní modulace v základním pásmu vysokofrekvenční sinusovou vlnou. Binárním modulačním signálem lze měnit parametry nosné vlny (amplitudu, frekvenci nebo fázi). U dvoustavových modulací každý stav odpovídá jednomu bitu modulačního signálu. Pro zvětšení přenosové kapacity byly zavedeny vícestavové modulace, kde každý stav přenáší symbol o délce n bitů. Pro tyto M stavové modulace, kde M je počet stavů a přenášený symbol je o délce n bitů, platí rovnice:

$$n = \log_2 M \tag{2.1}$$

U těchto modulací se též vyskytuje označení klíčování, které vychází z používaných anglických názvů. Pokud se mění amplituda nosné vlny, jedná se o amplitudové klíčování (ASK), při klíčování frekvence nosné vlny se získá frekvenční klíčování (FSK). Další možností je změna fáze nosné vlny, v tomto případě vznikne fázové klíčování (PSK). V dnešní době se velmi využívá kombinace amplitudového a fázového klíčování, které se nazývá kvadraturní amplitudová modulace, příp. M-stavová kvadraturní amplitudová modulace (M-QAM).

Modulace mohou být rozděleny i dle jiných kritérií. Např. na lineární a nelineární modulace, kde u lineární modulace je modulovaný signál lineární funkcí modulačního signálu. Dále u lineární modulace platí princip superpozice pro různé složky frekvenčního spektra. Další možné rozdělení je na modulace s pamětí a bez paměti. U modulací bez paměti závisí stav nosné vlny pouze na aktuální podobě modulačního signálu. Při použití modulací s pamětí závisí stav nosné vlny i na předchozích stavech modulačního signálu. Dále lze modulace dělit na koherentní a nekoherentní, toto rozdělení se týká pouze diskrétních modulací.

2.1 BPSK modulace

Dvoustavové fázové klíčování (Binary phase shift keying – BPSK) je základní typ PSK modulací. Zde binární modulační signál ovlivňuje fázi nosné vlny při zachování její amplitudy. Průběh modulovaného BPSK signálu je znázorněn na Obr. 2.2. Fáze nabývá dvou diskrétních stavů, kde oba signálové prvky lze zapsat pro modulační datový signál 1:

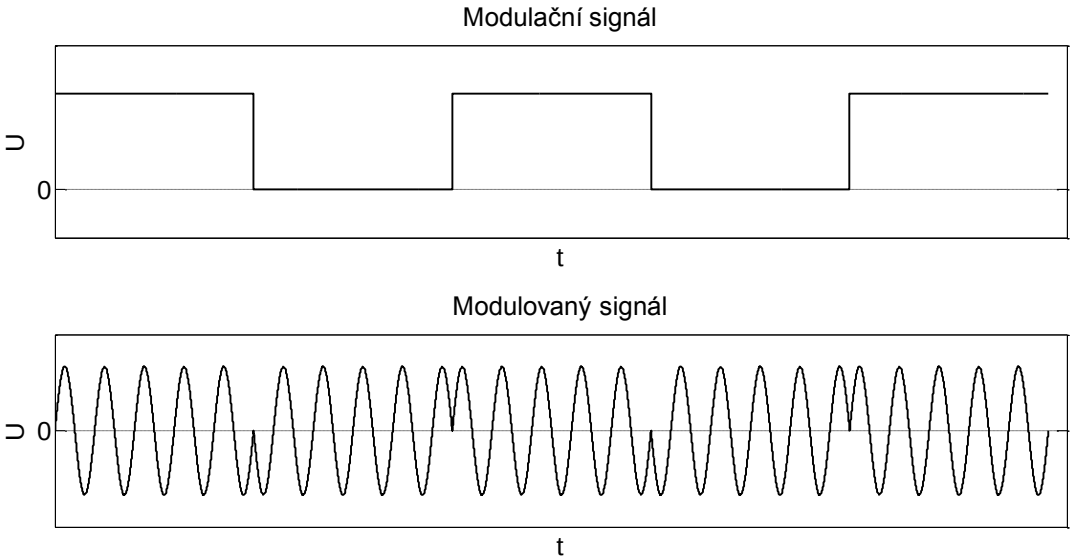
$$s_1(t) = \sqrt{\frac{2E_\mathrm{b}}{T_\mathrm{b}}}\sin(2\pi f_\mathrm{n} t) \tag{2.2}$$

Pro modulační signál 0:

$$s_2(t) = -\sqrt{\frac{2E_\mathrm{b}}{T_\mathrm{b}}}\sin(2\pi f_\mathrm{n} t) \tag{2.3}$$

kde: E_b – energie na jeden bit

T_b – doba trvání jednoho bitu



Obr. 2.2: Průběh modulačního a BPSK signálu

Vztahy 2.2 a 2.3 můžeme zapsat jednou rovnicí, kde uvažujeme upravený modulační signál, který nemusí být obdélníkového průběhu. Potom signálové prvky lze zapsat:

$$s(t) = m(t)A_{\mathrm{n}} \sin(2\pi f_{\mathrm{n}} t)$$

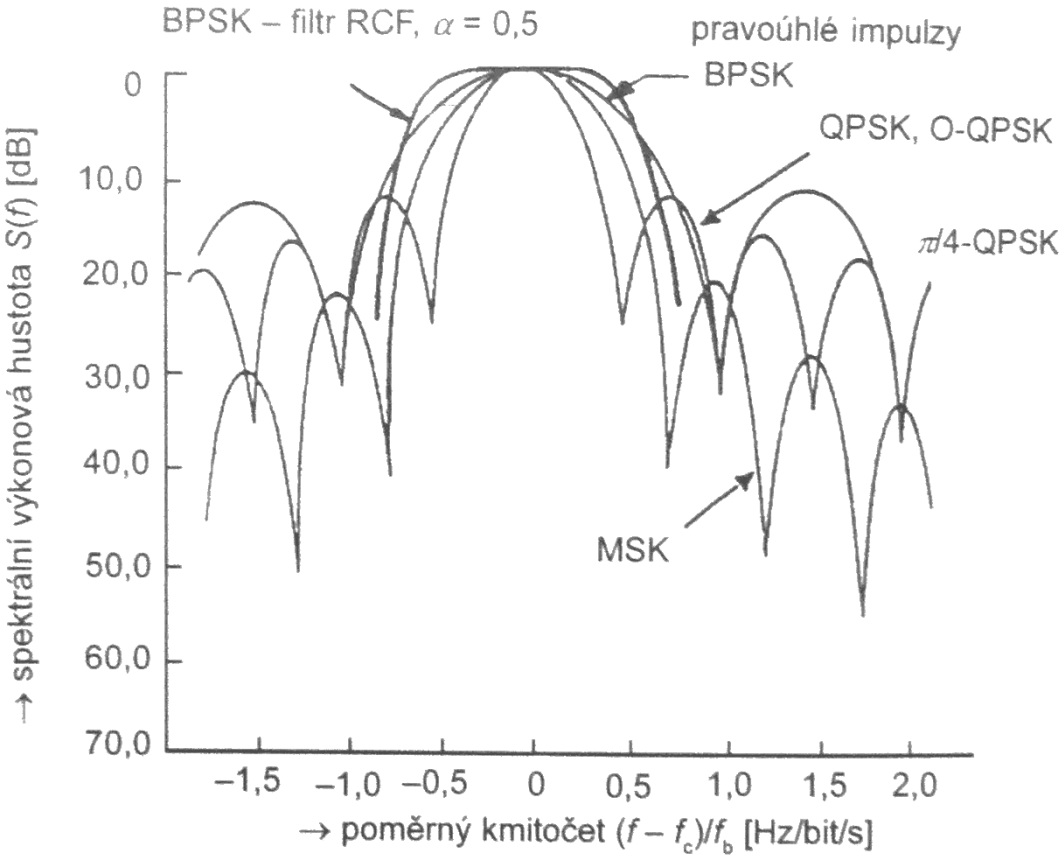
(2.4)

Z hlediska spektrální výkonové hustoty, která je znázorněna na Obr. 2.3, je důležitá šířka hlavního laloku spektra, které je u BPSK signálu dvojnásobek modulační rychlosti modulačního signálu *m*(*t*).

$$B = 2v_{\mathrm{m}} = \frac{2}{T_{\mathrm{b}}}$$

(2.5)

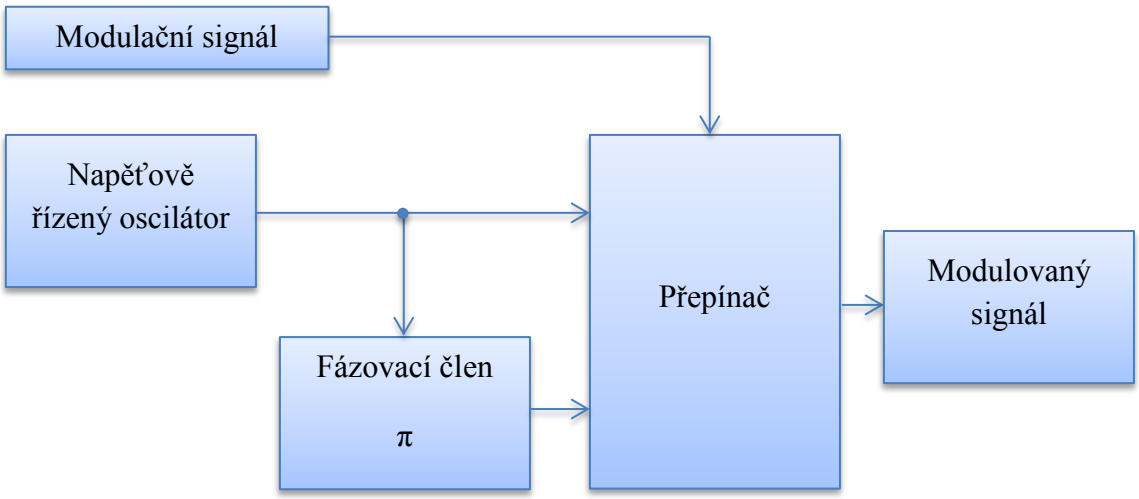
Úpravou modulačního signálu lze dosáhnout zmenšení šířky pásma hlavního laloku.



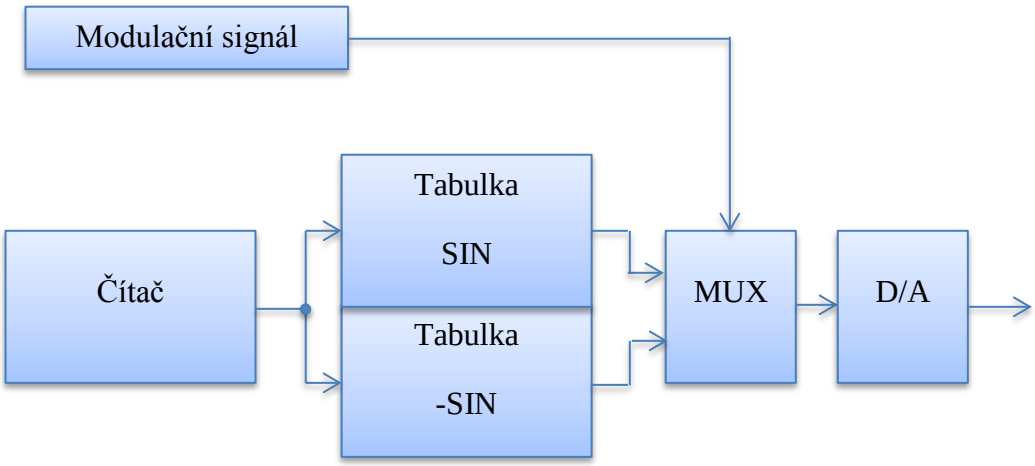
Obr. 2.3: Spektrální hustota BPSK modulace [1]

2.1.1 Modulátor BPSK

Řešení modulátoru může vycházet z několika struktur. Nejjednodušší a nejnázornější je znázorněna na Obr. 2.4 a Obr 2.5. Tato struktura obsahuje oscilátor, který generuje nosnou vlnu. Tento signál je přiveden na jeden vstup přepínače, na druhý vstup je přivedena také nosná vlna, ale přes fázovací člen posunuta o fázi π. Přepínač je řízen vstupním binárním modulačním signálem. Toto řešení neumožňuje předmodulační filtraci modulačního signálu, jediná možná úprava je filtrace modulovaného signálu pásmovou propustí k omezení šířky pásma na výstupu modulátoru. K realizaci lze využít analogové bloky nebo číslicové bloky.

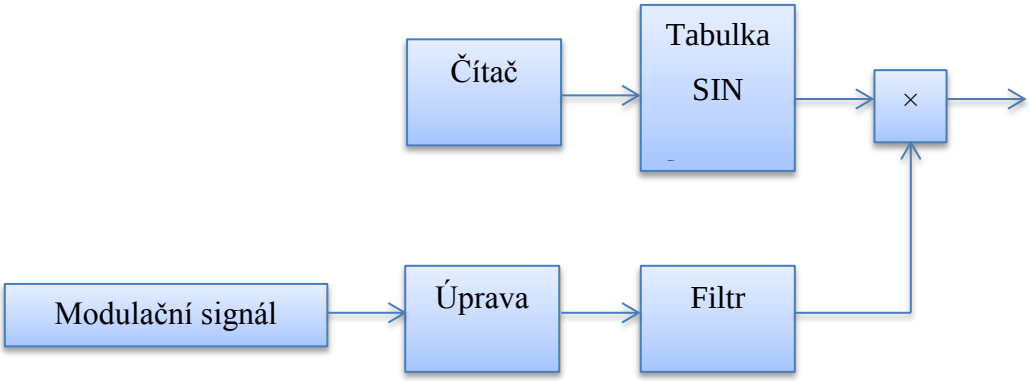


Obr. 2.4 Modulátor BPSK – analogové bloky



Obr. 2.5: Modulátor BPSK – číslicové bloky

Další možná struktura řešení vychází z matematického vyjádření modulovaného signálu. Opět je zde obsažen oscilátor, ale není potřeba fázovací člen na změnu fáze. Změna fáze je realizována násobičkou, kde se nosná vlna násobí s upraveným modulačním signálem. Modulační signál je upraven z unipolární binárního signálu na bipolární (signál je místo symboly 0 a 1 zastoupen symboly -1 a 1). Tento přístup umožňuje další úpravu modulačního signálu filtrací, aby změna polarity nebyla skoková, ale plynulá. Výhodou je zmenšení šířky pásma hlavního laloku BPSK modulovaného signálu, naznačeno na Obr. 2.3. Jelikož se práce zabývá využitím programovatelného pole, je na Obr. 2.6 znázorněna realizace pomocí číslicových bloků.



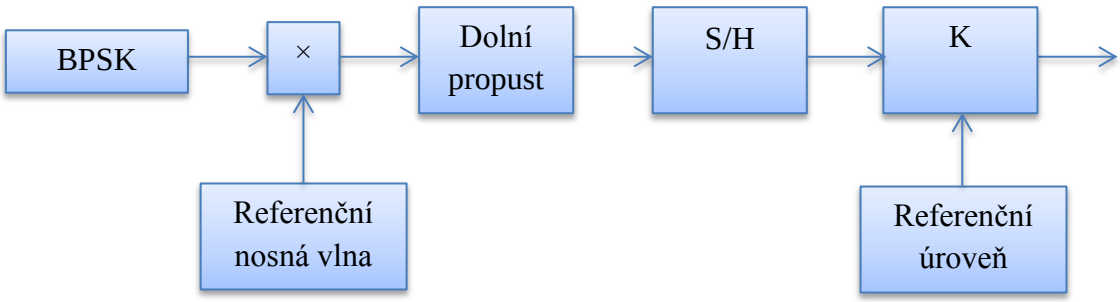
Obr. 2.6: Modulátor BPSK – výhodnější řešení

2.1.2 Demodulátor BPSK

K demodulaci můžeme použít strukturu dle Obr. 2.7. Tato struktura vychází z matematického zápisu násobení modulovaného signálu s referenční nosnou vlnou. Tento vztah je uveden rovnicí 2.6.

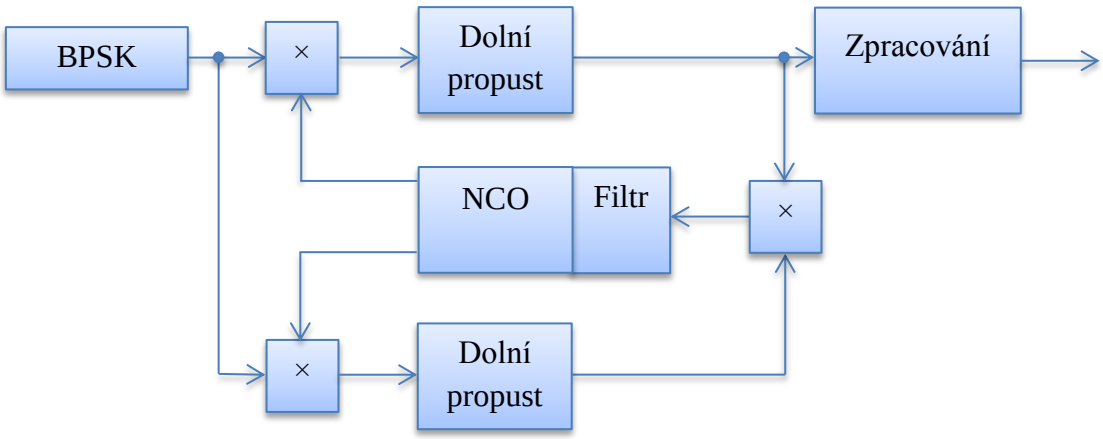
$$\pm U_\mathrm{r}\cos(2\pi f_\mathrm{n}t)\cdot U_\mathrm{n}\cos(2\pi f_\mathrm{n}t) = \pm\, U_\mathrm{r}U_\mathrm{n}\cos^2(2\pi f_\mathrm{n}t) = \pm\frac{U_\mathrm{r}U_\mathrm{n}}{2}\cdot[1+\cos(4\pi f_\mathrm{n}t)] \tag{2.6}$$

Složka s dvojnásobným kmitočtem je potlačena dolní propustí a výsledný signál je zaveden do vzorkovače, který vzorkuje ve středu bitové periody. K získání pravoúhlého signálu je zde využit komparátor, kde se hodnota z vzorkovače porovnává s referenční hodnotou.



Obr. 2.7: Demodulátor BPSK

Další možnosti demodulace je použití Costasovy smyčky [3] znázorněné na Obr. 2.8. Toto řešení je založeno na principu fázového závěsu. Výstupní kmitočet odpovídá kmitočtu modulovaného signálu. O tomto kmitočtu jsou vytvořeny 2 signály fázově posunuté o 90° (sinový signál a kosinový signál). S těmito signály se násobí vstupní signál a získají se složky I (In Phase) a Q (Quadrature), složka I odpovídá násobení s kosinovým signálem, složka Q násobení se sinovým signálem. Tyto 2 složky se poté násobí a slouží jako vstup pro číslicově řízený oscilátor (NCO), který generuje výstupní kmitočet. Pro získání dat jsou využity složky I a Q, kde získání datového signálu může být různými způsoby. Jeden ze způsobů je integrace této složky a porovnání s referenční úrovní v určitém okamžiku. Integrátor je nutné nulovat buď při každé změně bitu, nebo zpětně odvozenou modulační rychlostí. Pokud je řešen BPSK demodulátor k výslednému datovému signálu stačí pouze I složka, Q složku lze využít pro QPSK modulaci. To je hlavní výhoda způsobu demodulace pomocí Costasovy smyčky, kde lze snadno s BPSK demodulátoru vytvořit QPSK demodulátor. Toto řešení je možné realizovat analogově i číslicově.



Obr. 2.8: Demodulátor BPSK na základě Costasovy smyčky

2.2 Chybovost BPSK modulace

Je zkoumán vliv přítomnosti šumu, předpokládá se převážně tepelný šum, ale jako model se používá bílý šum, dále vliv sousedních kanálů např. s BSPK modulací na chybovost přenosu BPSK, další vliv na chybovost mohou mít různé násobky kmitočtů. Rušení v systémech lze rozdělit na rušení přírodního charakteru a rušení způsobené člověkem, např. dalším přenosem v sousedních kanálech atd.

Rušení sousedních systémů je definováno jako signál, který má frekvenci nosné vlny stejnou jako užitečný hlavní signál. Toto rušení mezi systémy může být zmenšeno vzdáleností těchto systémů nebo použitím např. číslicové filtrace. Rušení v jednom systému může být zmenšeno lepším využitím spektra systémem stejného typu nebo jiným systémem. V moderních bezdrátových komunikacích (3G, 4G sítě) lze rušení redukovat použitím speciálních metod. Pomoci může např. číslicová filtrace pro potlačení zrcadlových frekvencí, dosažení lepšího mezifrekvenčního filtru, atd.

2.2.1 Pravděpodobnost chyby

V BPSK modulaci je informace kódována změnou nosné vlny ve dvou bodech, kde jsou tyto body přepínány dle hodnoty modulačního signálu. Pro energii jednoho bitu lze psát:

$$E_\mathrm{b} = \frac{1}{2} A_\mathrm{n}^2 T_\mathrm{b} \tag{2.7}$$

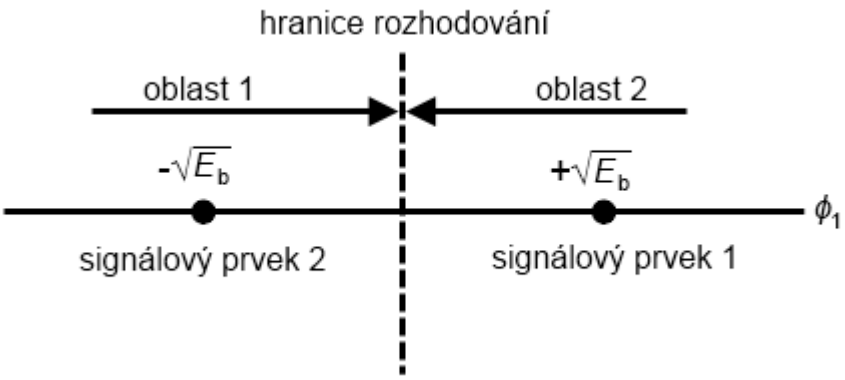
kde: A_n – amplituda sinusové nosné vlny

E_b – energie na jeden bit

T_b – doba trvání jednoho bitu

K odvození pravděpodobnosti se využívá znázornění v signálovém prostoru, kde každý signálový prvek může být vyjádřen pomocí ortonormálních bázových funkcí Φ, které tvoří bázi prostoru. U systému BPSK existuje jedna bázová funkce pro oba signálové prvky, znázornění v signálovém prostoru je na Obr. 2.9. Při určité energii signálu chybovost závisí pouze na vzdálenosti mezi signálovými prvky, ta je při použití

BPSK největší, při *M*-stavové modulaci se tato vzdálenost snižuje, proto je při stejných podmínkách větší chybovost.



Obr. 2.9 : Signálový prostor BPSK

Dále pravděpodobnost chyby jednoho bitu můžeme zapsat jako:

$$p_b = \phi(k) \tag{2.8}$$

kde: N_0 – spektrální hustota bílého Gaussovského šumu

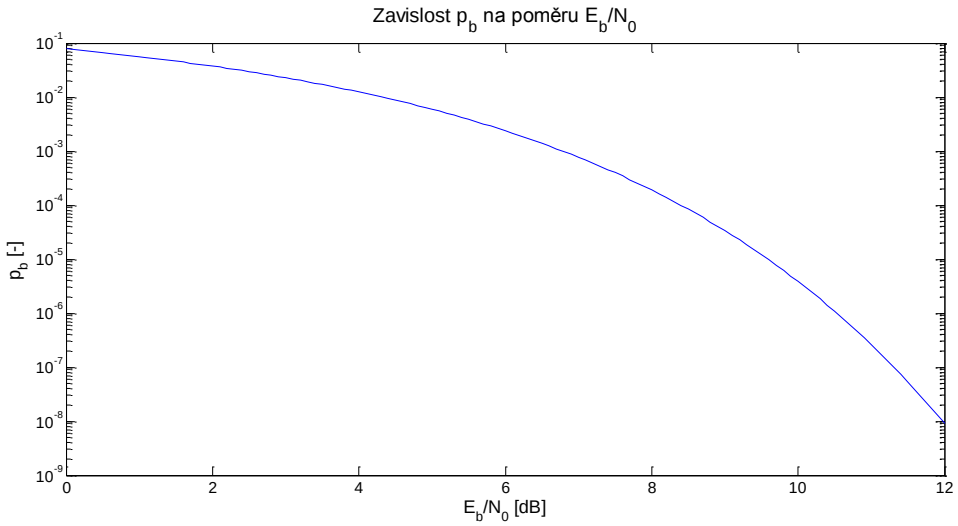
$$\phi(x) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{x} e^{-\frac{t^2}{2}} \mathrm{d}t \tag{2.9}$$

$$k = -\sqrt{\frac{2E_b}{N_0}} \tag{2.10}$$

V literatuře lze také najít vyjádření pomocí funkce erfc (complementary error function). Pravděpodobnost poté můžeme zapsat:

$$p_b = \frac{1}{2}\mathrm{erfc}\left(\sqrt{\frac{E_b}{N_0}}\right) \tag{2.11}$$

Pro pravděpodobnost chyby jednoho bitu se též používá označení bit error rate (BER), který je vyjádřen poměrem chybně přijatých bitů k celkovému počtu bitů přenášených po dobu, kdy se při jejím prodlužování chybovost nemění. Jako referenční hodnota se obvykle volí BER = 10^{-5}.

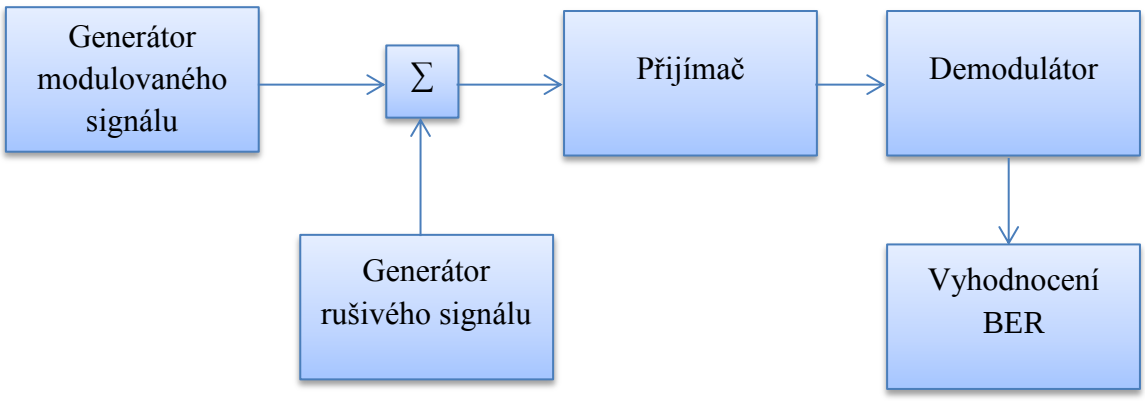


Obr. 2.10: Závislost p_b na poměru k (2.9)

Ze závislosti pravděpodobnosti chyby jednoho bitu znázorněné na Obr. 2.10 je vidět, že při nižší úrovni šumu, tzn. roste poměr k vyjádřený v rovnici 2.10, klesá pravděpodobnost chyby jednoho bitu.

2.2.2 Zkoumání chybovosti

Zkoumání probíhá přičtením rušivého signálu k vlastnímu modulovanému signálu v přenosovém kanále. Tímto způsobem lze přidat různé druhy rušení. Zkoumání probíhá pomocí generátoru modulovaného signálu, který je propojen s přijímačem, kde toto propojení tvoří přenosový kanál, v rámci tohoto přenosového kanálu je modul sčítačky, která umožní simulaci rušení pomocí generátoru rušivého signálu. Toto uspořádání je znázorněno na Obr. 2.11. Tímto způsobem lze chybovost zkoumat v simulaci nebo simulovat v hardware.



Obr. 2.11: Simulační schéma

Vyhodnocení chybovosti může probíhat několika způsoby. Jeden ze způsobů je znalost vyslaných dat, které se porovnají s daty přijatými. Další možností je použití zabezpečovacích kódů, které mají detekční schopnost chyby nebo použitím druhého přijímače, který je považován za referenční.

3. Jazyk VHDL

Jazyk VHDL je navržený pro popis a simulaci číslicových systémů. Slouží k popisu hardware. Označení vychází z anglického spojení pro jazyky sloužící k popisu hardware a tím je hardware description language (HDL). Výhoda je v univerzálnosti jazyka VHDL, kde je značná nezávislost na cílové technologii.

Popis systému v jazyce VHDL můžeme rozdělit na 2 skupiny. Jedna skupina, která je syntetizovatelná do hardware a druhá skupina, která slouží pro simulační účely navrženého systému. Testovací program se běžně nazývá testbench, v tomto programu se generují vstupní signály pro daný systém.

V popisu v jazyce VHDL se nachází hlavní jednotky. Jednou z hlavních jednotek je entita. Zde jsou popsány vstupy a výstupy objektu. V syntaxi entity může být parametrizovatelná část, pomocí které lze např. měnit bitovou šířku dat.

Ukázka syntaxe entity:

```
entity ct_modulo is
    generic (
        width : unsigned := "4";
        modulo : unsigned := "10"
    );
    port (
        inc : in std_logic;
        dec : in std_logic;
        rst_n : in std_logic;
        bo : out std_logic;
        ct_out : out std_logic_vector(width-1 downto 0)
    );
end;
```

Další jednotkou je architektura, ta udává vlastní chování entity. Architektur může být více, ale ke každé entitě musí být alespoň jedna.

Ukázka syntaxe architektury:

```
architecture rtl of dek_7 is
begin
    process (data)
    begin
        case data is
            when x"0" => seg <= "0111111";
            when x"1" => seg <= "0000110";
            when x"2" => seg <= "1011011";
            when x"3" => seg <= "1001111";
            when x"4" => seg <= "1100110";
            when x"5" => seg <= "1101101";
            when x"6" => seg <= "1111101";
            when x"7" => seg <= "0000111";
            when x"8" => seg <= "1111111";
            when others => seg <= "1110001";
        end case;
    end process;
end;
```

Jazyk VHDL nabízí rozsáhlé možnosti vyjadřování, proto je možné stejnou funkci architektury popsat různými styly.

4. Vývojové prostředky

K této práci je využit Simulink, který je v prostředí software Matlab. V Simulinku je použit Altera DSB Builder toolbox, který obsahuje různé bloky syntetizovatelné do FPGA, které je použito ve vývojovém kitu od společnosti Altera. Pro simulaci jako zdroje signálů jsou použity bloky z ostatních knihoven v prostředí Simulink.

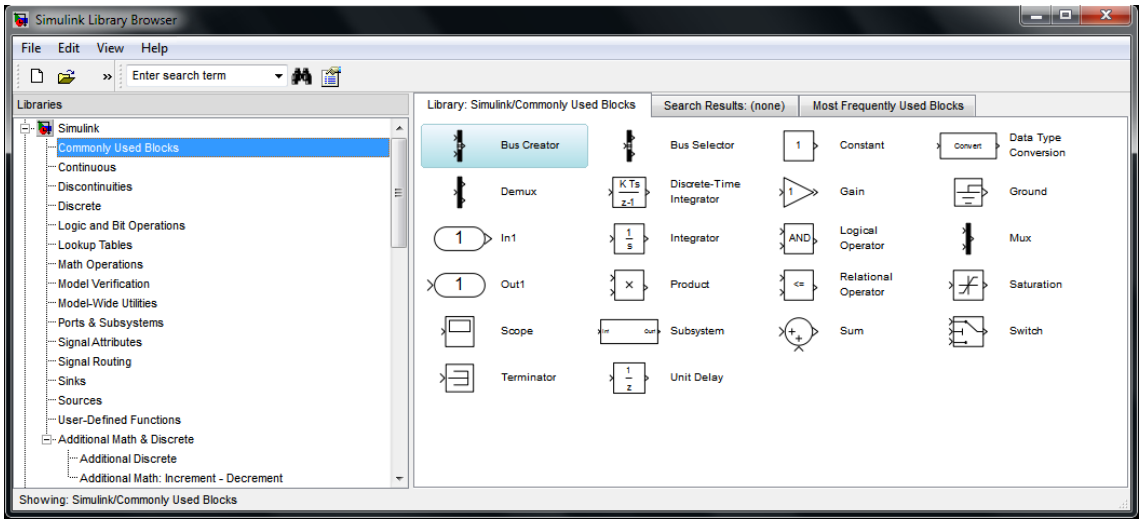
4.1 Simulink

Simulink je prostředí využívající blokové schéma pro simulaci a návrh založený na modelech. Podporuje simulace, automatické generátory kódu. Simulink poskytuje grafický editor, přizpůsobitelné knihovny, řešící nástroje pro simulace. Je integrovaný v software Matlab a umožňuje výsledky exportovat do prostředí Matlab k dalšímu zpracování.

Hlavní vlastnosti:

- Grafický editor pro vytvoření a správu blokových schémat
- Knihovny předdefinovaných bloků
- Simulace s pevným krokem a proměnných krokem
- Zobrazovací nástroje pro výsledky simulace
- Nástroje pro správu projektů a dat
- Analýza modelů pro zvýšení simulační rychlosti
- Blok pro import Matlab algoritmů

Simulink obsahuje předdefinované bloky, pomocí kterých lze vytvořit blokové schéma systému. Bloky lze rozdělit na spojité a diskrétní, dále na algoritmické (např. suma, součin, atd.) a strukturální (multiplexor, přepínač). Další bloky můžou být přidány jako Simulink Add-on produkty, které můžou být využity pro komunikace, zpracování signálů atd.



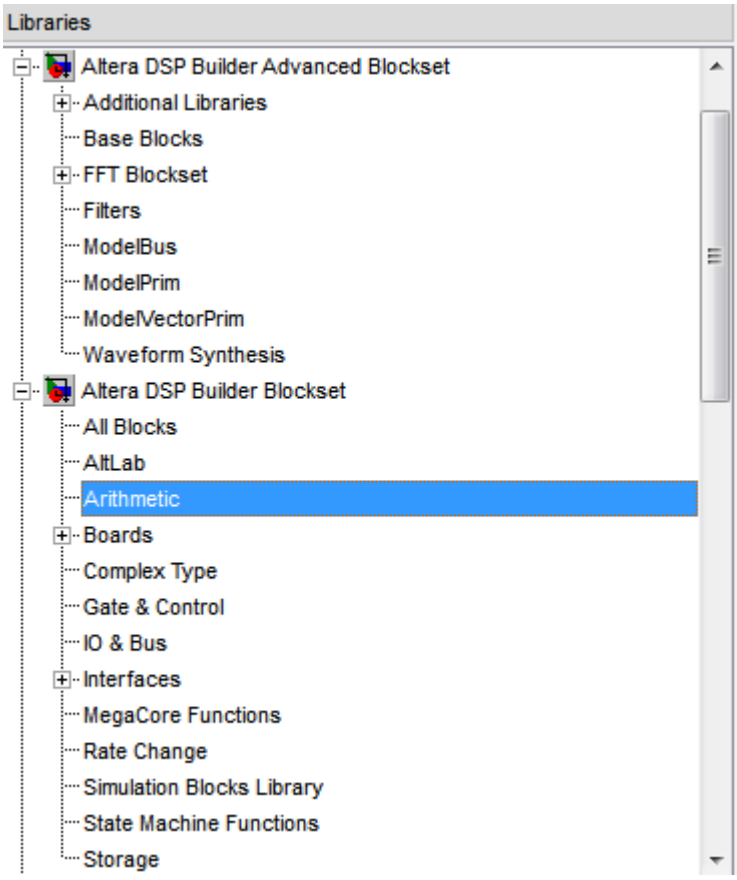
Obr. 4.1: Ukázka prostředí Simulink - knihovny

Pro simulaci je možnost specifikovat různé nastavení, typ a vlastnosti řešícího nástroje, počáteční čas a konečný čas simulace, kam ukládat simulační data. K prohlížení výsledných dat lze použít zobrazovací nástroje přímo v prostředí Simulink nebo využít prostředí Matlab a z výsledků simulace si sestavit vlastní zobrazení.

4.2 Altera DSP Builder

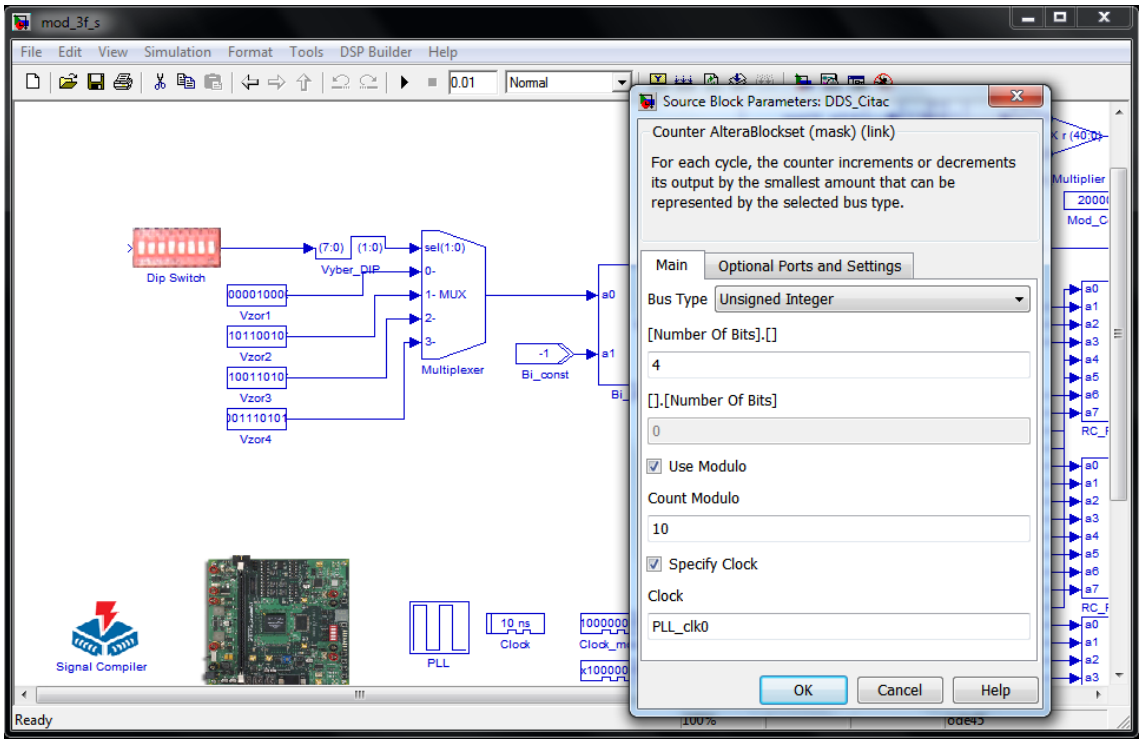
DSP Builder poskytuje bloky v prostředí Simulink, které lze využít pro návrh systémů pro zpracování signálů. Jednotlivé bloky představují komponenty, které jsou syntetizovatelné do hardware. Při zpracování kompilátor zjistí obsah těchto bloků a vygeneruje VHDL soubory. V této knihovně se nachází aritmetické bloky, bloky obsahující vstupy, výstupy, podpora různých vývojových kitů. Na Obr. 4.2 je znázorněn seznam skupin obsažených v DSP Builder.

Navržený systém z těchto bloků lze simulovat a využít zobrazovacích nástrojů obsažených v základních knihovnách Simulink. Pokud se v systému nachází vstupy, lze jako generátory využít bloky z prostředí Simulink, které se nachází v ostatních knihovnách, ale je nutné správně nastavit typ signálu, int apod., a bitovou šířku daného signálu. Dále je možné pro další simulaci přidat komponentu pro testbench, která vytvoří ze systému a bloků generujících signály VHDL testbench. Tento testbench lze simulovat pomocí ModelSim a výsledky simulací porovnat.



Obr. 4.2: Seznam skupin bloků v DSP Builder

K realizaci jsou použity zejména aritmetické bloky. Z těchto bloků je to sčítačka, násobička a dělička, u každého bloku je nastaven typ vstupu na typ s pevnou řádovou čárkou a bitová šířka jednotlivých vstupů. U některých bloků lze vybrat hodinový signál, pokud v návrhu je použito více hodinových signálů. Dále jsou využity paměťové bloky pro LUT tabulku a posuvné registry s odbočkami a podpora vývojového kitu, kde jsou využity bloky AD a DA převodníků, které jsou na vývojovém kitu a přepínače pro řízení. Z dalších bloků lze jmenovat komponentu pro propojení výstupních signálů s piny FPGA, multi-rate D klopný obvod, fázový závěs. Na Obr. 4.3 je ukázáno prostředí Simulink s využitím DSP Builder.



Obr. 4.3: Prostředí Simulink s využitím DSP Builder

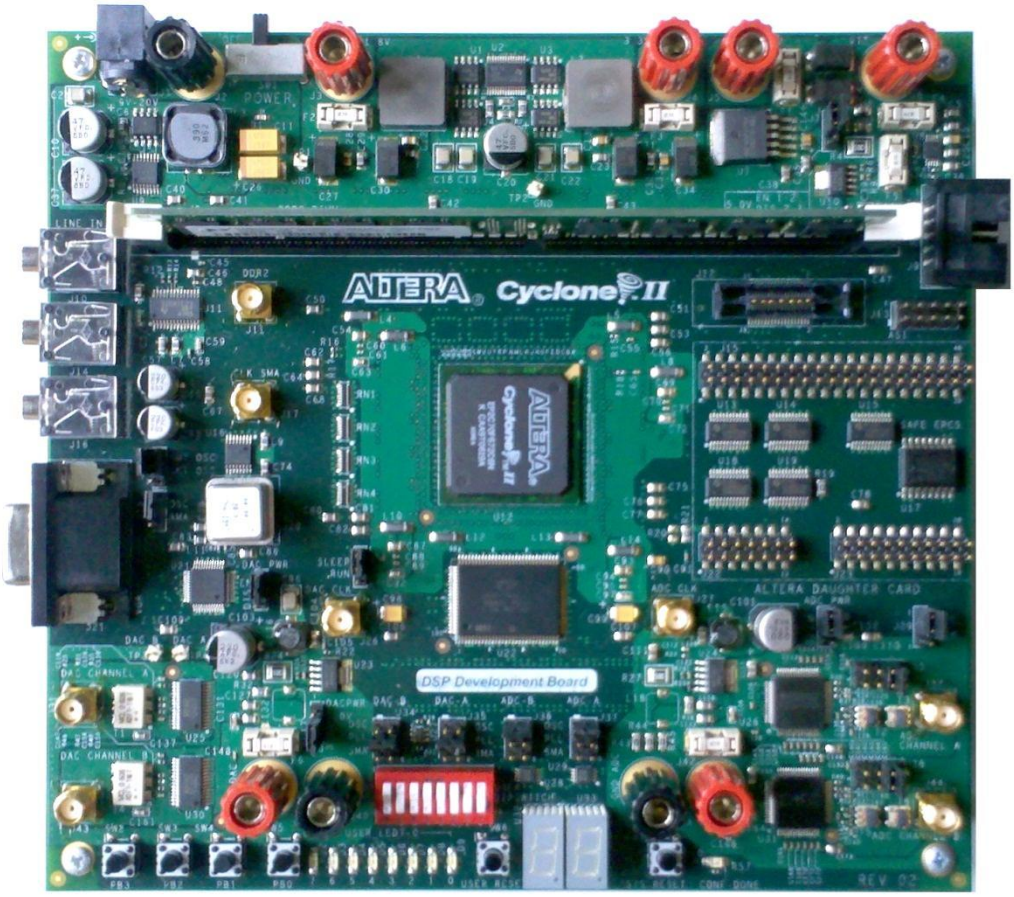
4.3 Altera Development Kit

K otestování navrženého systému byl vybrán vývojový kit od společnosti Altera DSP Development Kit, Cyclone II Edition (DK-DSP-2C70N). Tento kit je osazen FPGA EPC70F672.

Součástí kitu jsou tyto komponenty:

- Analogové vstupy a výstupy
  - Dva 14bit AD převodníky (125 MSps)
  - Dva 14bit DA převodníky (165 MSps)
  - 24bit RGB VGA adaptér
  - Audio codec
- Paměťové bloky
  - 256 MB DDR2 SDRAM DIMM
  - 1 MB SRAM
- Rozhraní pro ladění (debugging)
- Rozšiřující rozhraní
  - Altera rozšíření
  - Texas Instruments Evaluation Module

- Dvojice sedmi segmentových displejů
- 8 uživatelsky nastavitelných LED diod
- 1 DIP přepínač (8 pozic)
- 4 uživatelsky nastavitelné tlačítka



Obr. 4.4: Vývojový kit Altera

FPGA disponuje přibližně 70 tisíci logických elementů, toto množství je vhodné pro otestování funkčnosti systému, kde se neřeší optimalizace návrhu z hlediska počtu využitých logických elementů. V samotném FPGA lze využít až 4 fázové závěsy pro generaci hodinových impulzů ze základního taktu 100 MHz.

4.4 Programovatelné pole FPGA

FPGA obvody patří mezi elektricky reprogramovatelné logické obvody, které jsou programovatelné v cílovém systému. Tyto obvody jsou založeny na generátorech logických funkcí, klopných obvodech a vodorovném a svislém propojení. Základní části FPGA jsou:

- Programovatelné logické bloky (generátor logické funkce, klopný obvod, propojovací pole)
- Programovatelné vodorovné a svislé propojení
- Programovatelné vstupní a výstupní bloky
- Speciální bloky (násobičky, paměti, fázové závěsy)

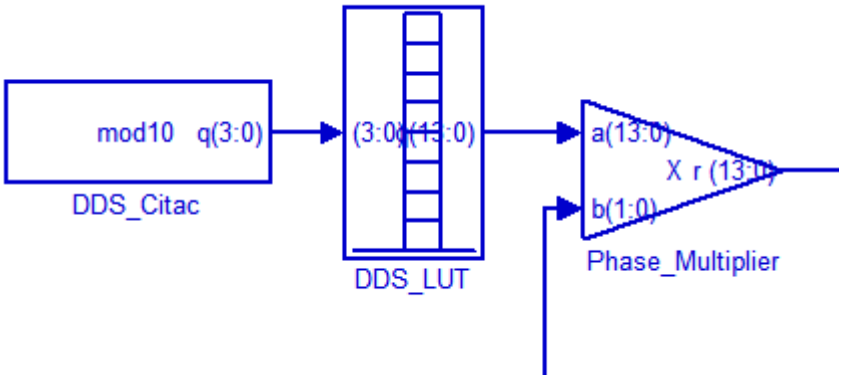
FPGA obvody se speciálními bloky jsou vhodné k rychlému zpracování signálů, kde se využijí implementované násobičky (typické využití pro číslicové filtry, transformace, atd.).

5. Vlastní řešení

Řešení vychází z blokových schémat uvedených v kapitole 2. Jako základní stavební bloky jsou použity bloky dostupné v prostředí Simulink z knihovny Altera DSP Builder.

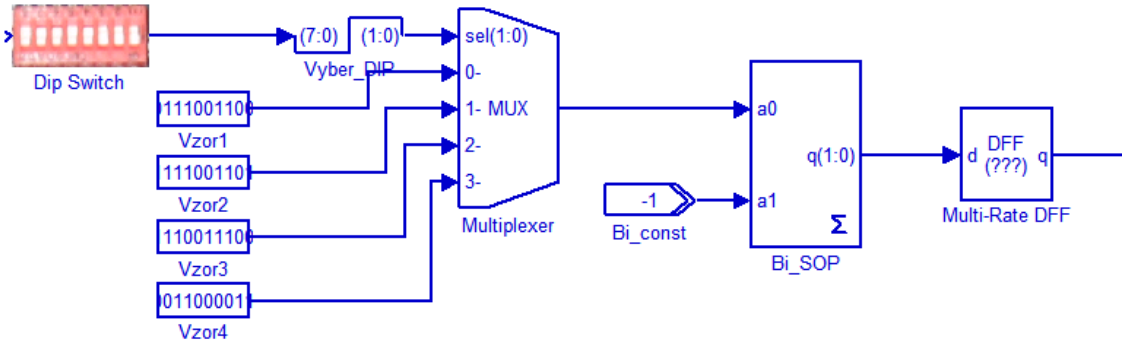
5.1 BPSK Modulátor

Navrženy jsou 2 typy modulátorů. Rozdíl je ve využití předmodulační filtrace, která vede ke snížení šířky pásma modulovaného signálu. Základní část modulátoru tvoří LUT tabulka, v té je uloženo 10 vzorků z periody sinusového průběhu v rozlišení 14 bitů. Toto rozlišení bylo vybráno z důvodu 14bit DA převodníků dostupných na desce vývojového kitu. Z 10 vzorků vyplývá použitá 4b adresa, která se generuje modulo čítačem. Čítač je ovládán hodinovými impulzy odvozenými ze základních hodin přes fázový závěs. Aby výstupní frekvence nosné vlny byla 10,7 MHz, kmitočet odvozený přes fázový závěs je 107 MHz. Výstup z LUT tabulky vstupuje do násobičky, která realizuje změnu fáze. Toto uspořádání je na Obr. 5.1.



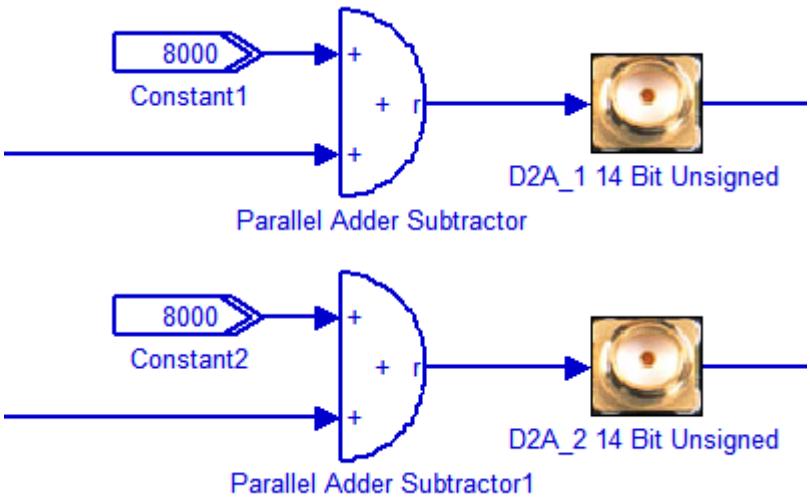
Obr. 5.1: Modulátor – LUT tabulka a násobička

Do druhého vstupu násobičky je zaveden bipolární datový signál. Bipolárního signálu je dosaženo jednoduchou úpravou pomocí násobení a odečtení. Tato úprava je aplikována na datový modulační signál generovaný blokem s hodinovým taktem odpovídající modulační rychlosti 1200 Bd. Aby bylo možné zajistit propojení částí s rozdílným kmitočtem, je použit Multirate D klopný obvod. V systému je použito několik generovaných paketů, které se přepínají pomocí multiplexoru ovládaným přepínači na vývojovém kitu. Bloky zajišťující tuto část jsou na Obr. 5.2.



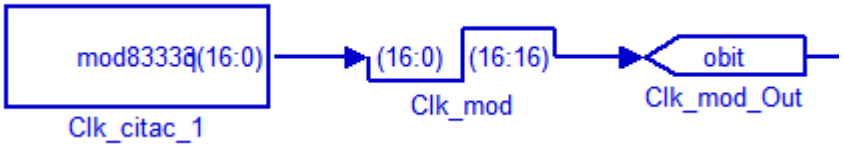
Obr. 5.2: Modulátor – pakety a úprava na bipolární signál

Výstupní modulovaná vlna (výstup z násobičky) je zavedena do sčítačky, která realizuje posun pro DA převodník, který je neznaménkový. Protože na vývojovém kitu se nachází tyto převodníky dva, byla na druhý DA převodník vyvedena nosná vlna bez modulace. Řešení je znázorněno na Obr. 5.3.



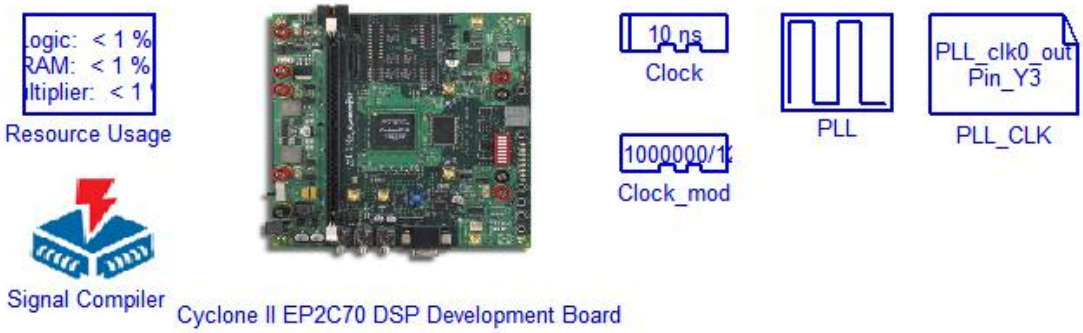
Obr. 5.3: Modulátor – posun pro DA převodník

Další důležitou součástí je generace hodinových impulzů pro generátory dat, aby modulační rychlost odpovídala uvedeným 1200 Bd. To je zajištěno 17b modulo čítačem znázorněným na Obr. 5.4. Jelikož výstupní bit z čítače odpovídající tomuto kmitočtu nelze propojit jako hodinový signál do generátoru, je nutné tento bit vyvést jako výstup a výsledné propojení se vytvoří ve vygenerovaném VHDL projektu. V tomto projektu se propojí na komponentu realizující hodinovou doménu, která je dostupná v blocích Altera DSP Builder.



Obr. 5.4: Modulátor – čítač pro hodinový signál generující data

Na Obr. 5.5 jsou uvedeny bloky realizující vytvoření hodinových domén, ve schématu jsou tyto bloky označeny Clock_mod, další blok je Clock, který slouží k nastavení základního kmitočtové domény. Dále je zde podpora desky vývojového kitu a nastavení fázového závěsu. Po kompilaci je uvedeno výsledné využití FPGA, které je v Tab. 5.1.

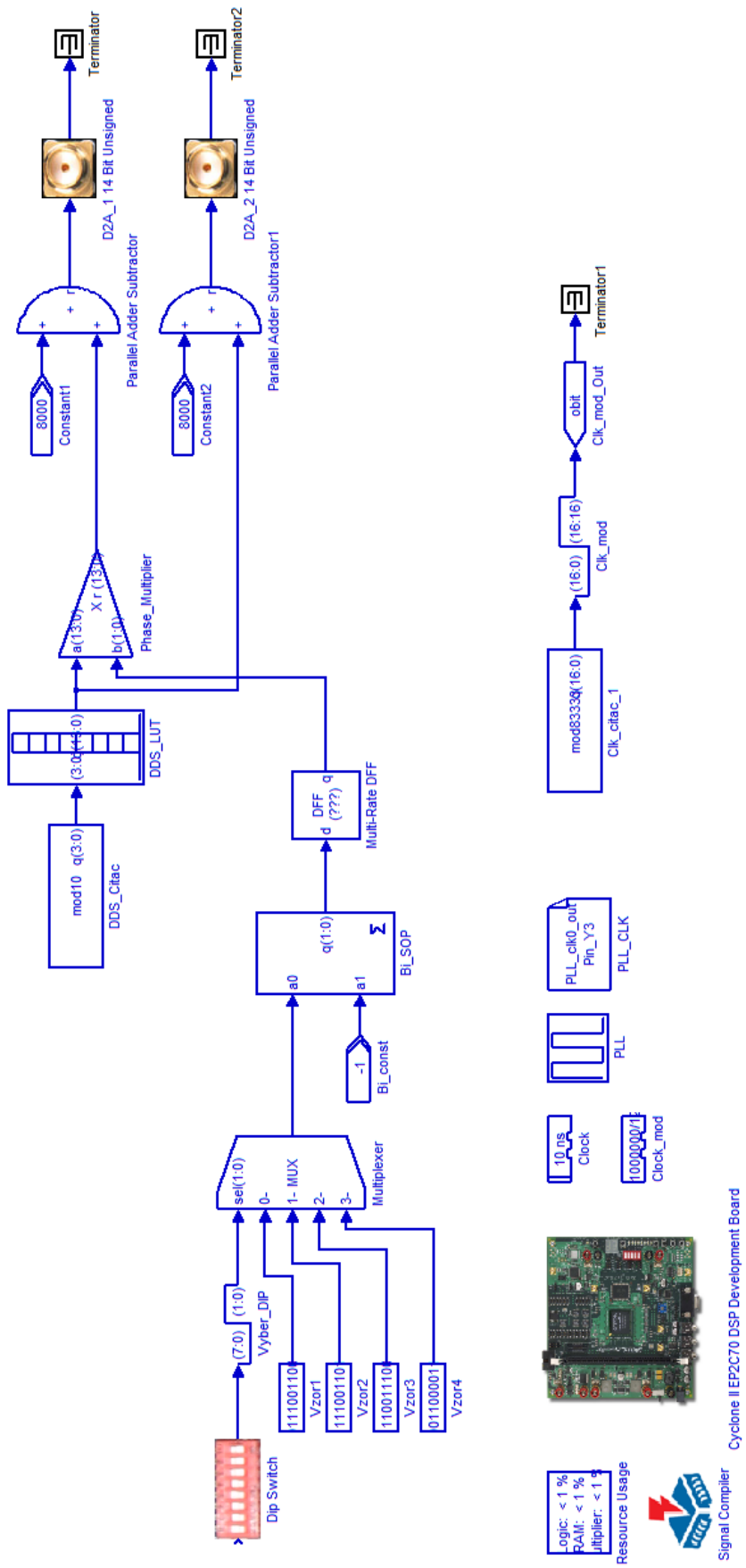


Obr. 5.5: Modulátor – hodinové domény

Tab. 5.1: Využití FPGA – Modulátor

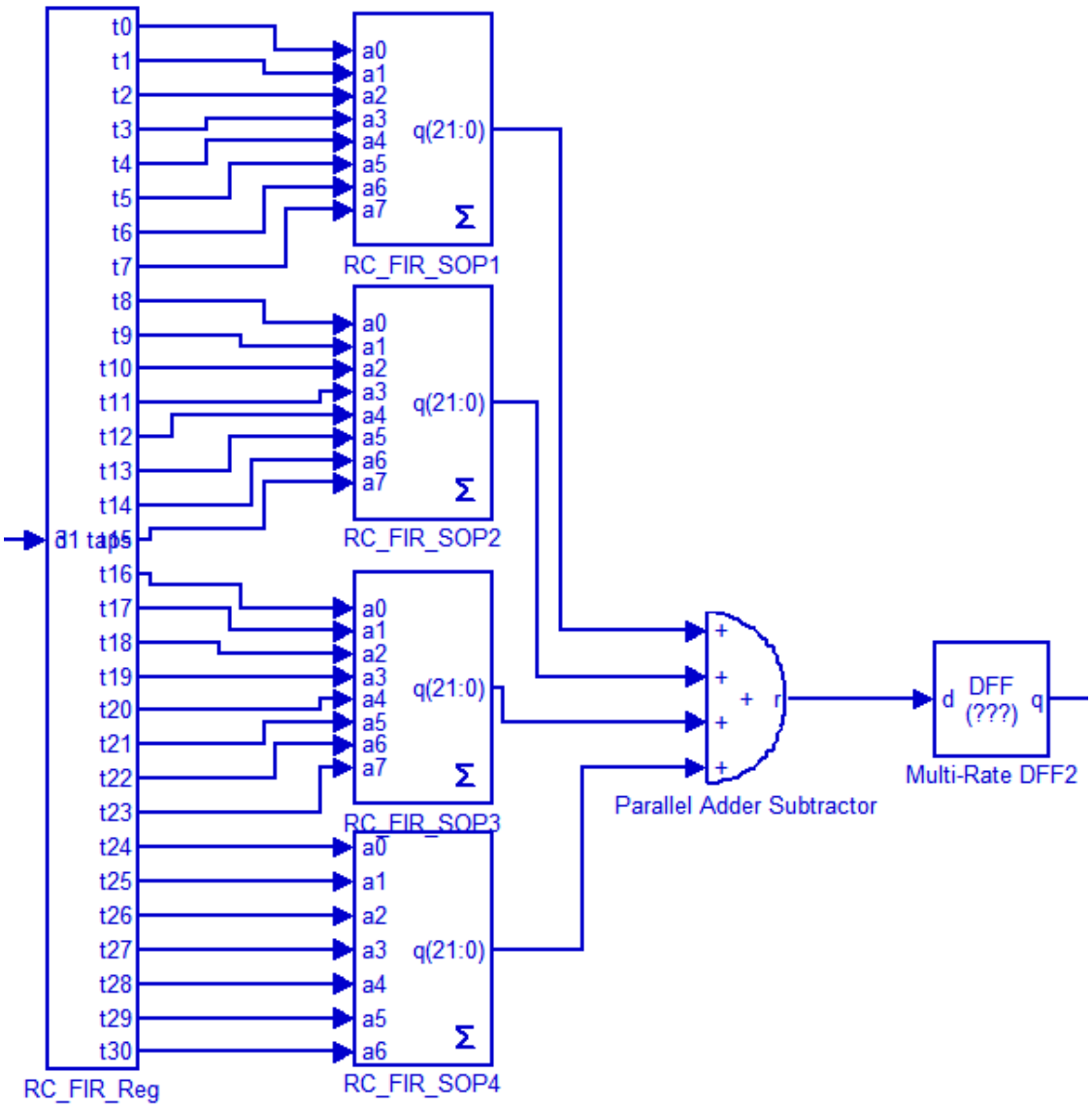
Počet logických elementů	374 / 68 416 (1%)
Počet registrů	97
Počet paměťových bitů	224 / 1 152 000 (< 1%)
Dedikované násobičky	2 / 300 (1%)
Fázové závěsy	1 / 4 (25%)

Propojení jednotlivých části je na Obr. 5.6, v kterém je uvedeno celé blokové schéma modulátoru.



Obr. 5.6: Blokové schéma modulátoru BPSK

Základní koncepce modulátoru s předmodulační filtrací je totožná jako u modulátoru bez filtrace. Filtrace je aplikována na bipolární modulační signál. Je zde využit Raised Cosine FIR filtr. Návrh je uskutečněn pomocí prostředí Matlab, který má implementovánu funkci k návrhu tohoto typu filtru. Protože je potřeba filtrace signálu s relativně malým kmitočtem v porovnání se základním kmitočtem a tyto kmitočty musí být v celočíselném násobku, je nutné do systému zařadit další hodinovou doménu pro tento filtr. Přidání další hodinové domény je provedeno stejným způsobem jako generace hodinových impulzů pro generátor dat. Čítačem je generován hodinový takt 6 kHz. Využití např. fázového závěsu je nereálné z důvodu velmi vysokého řádu filtru. Ten je způsoben vysokým kmitočtem vygenerovaným přes fázový závěs v porovnání s modulačním kmitočtem. Část realizující filtraci je na Obr. 5.7.



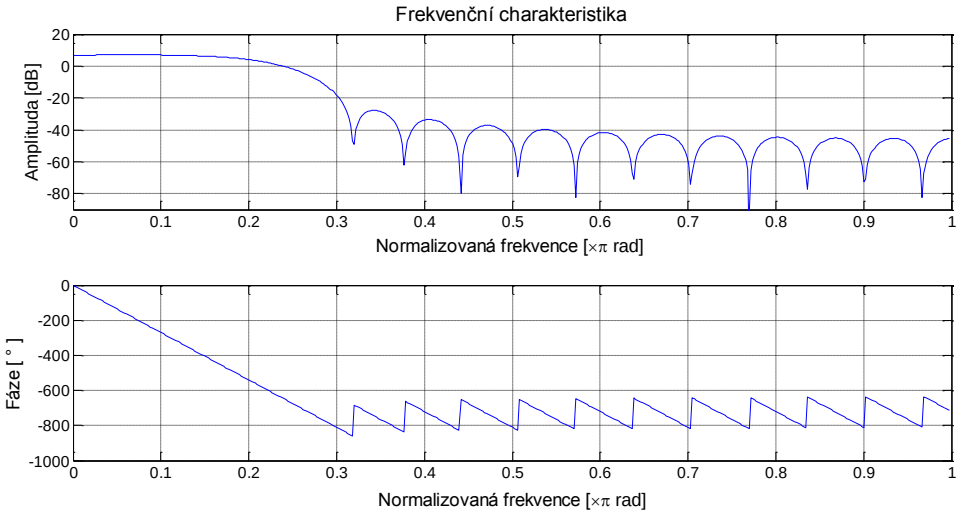
Obr. 5.7: Modulátor – Raised Cosine filtr

Navržený filtr obsahuje 31 odboček (filtr 30. řádu). Realizace je pomocí bloků provádějících součin a součet. Rovnice, která je implementována těmito bloky, je uvedena vztahem 5.1. Protože koeficienty nejsou celočíselné, je nutné je vynásobit určitým koeficientem z důvodu celočíselné implementace v hardware.

$$y = \sum_{i=0}^{n} (c_i \cdot x_i) \tag{5.1}$$

kde: n – počet vstupů bloku SOP

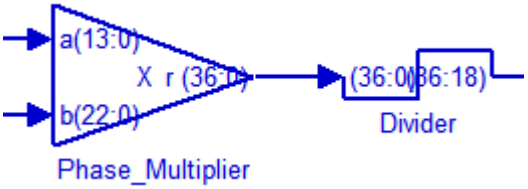
Frekvenční charakteristika filtru je uvedena na Obr. 5.8. Zlomový kmitočet je zde 0,2π. Tento kmitočet odpovídá 600 Hz (pravidelná změna modulačního signálu s rychlostí 1200 Bd) při použití vzorkovacího kmitočtu 6 kHz.



Obr. 5.8: Normalizovaná frek. charakteristika předmodulačního Raised Cosine filtru

Z frekvenční charakteristiky je vidět zesílení filtru, které je přibližně 2,2. Protože koeficienty jsou vynásobeny konstantou 100 000 z důvodu celočíselné implementace, výsledné zesílení filtru je 220 000. To má za následek značný nárůst bitové šířky, proto je nutné toto zesílení upravit. V této úpravě je také zahrnuto přizpůsobení na potřebný rozsah bitů pro DA převodník. Toto realizuje blok děličky za násobičkou, která produkuje modulovaný signál. Dělička je zde řešena posunem bitů, který je znázorněný na Obr. 5.9. Bitový posun je zde o 18 bitů. Tzn. posunutí má za následek vydělení číslem 262 144. Tímto je získána potřebná bitová šířka slova,

pro DA převodník je ještě nutný posun nuly, který je řešený stejným způsobem jako na Obr. 5.3.



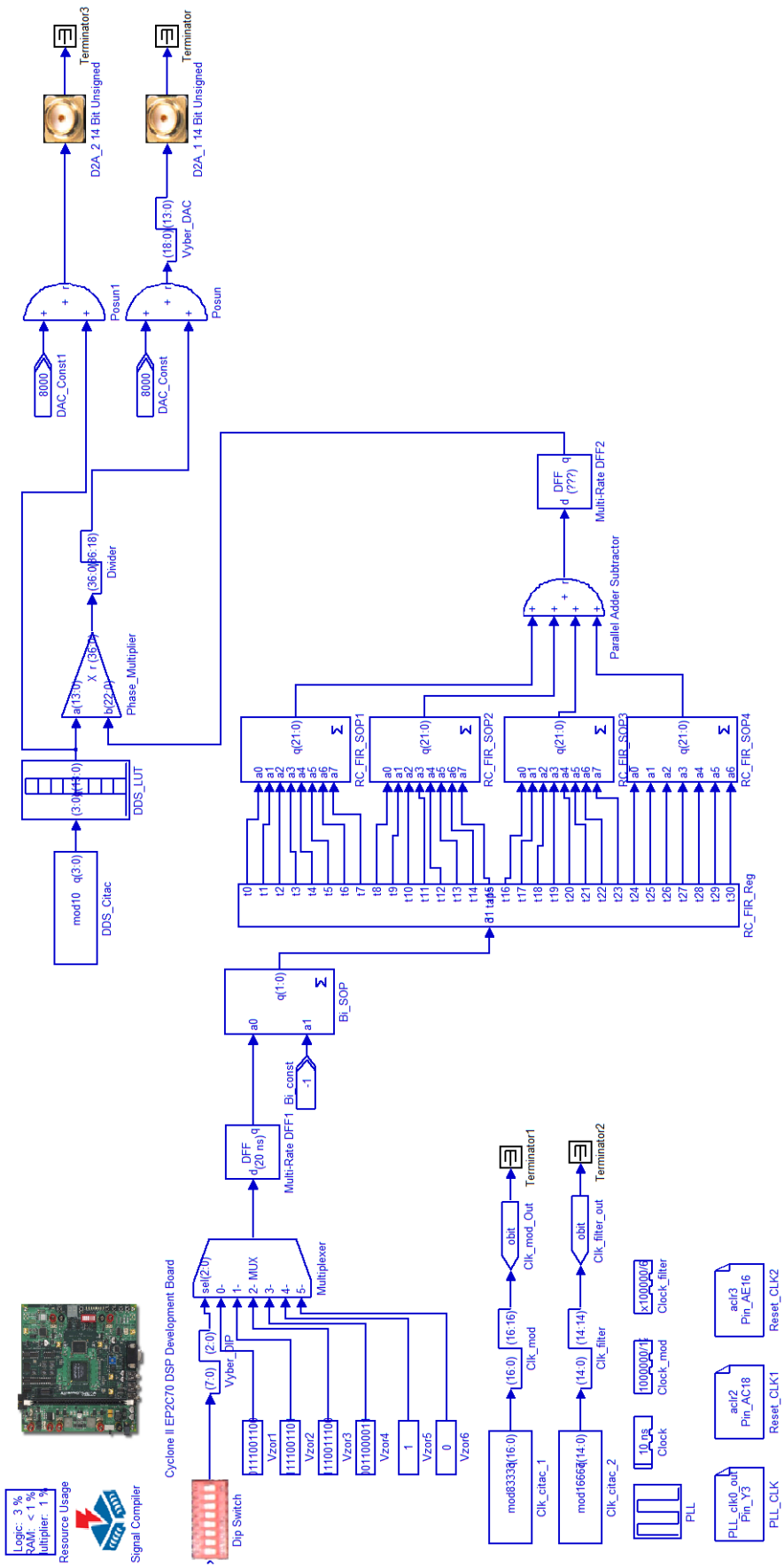
Obr. 5.9: Modulátor – dělička

V Tab. 5.2 je ukázáno využití FPGA pro modulátor s předmodulační filtrací. Je zde vidět značný nárůst využití logických elementů v porovnání s první verzí modulátoru, který je z důvodu vytvoření filtru.

Tab. 5.2: Využití FPGA – Modulátor s předmodulační filtrací

Počet logických elementů	1 115 / 68 416 (2%)
Počet registrů	272
Počet paměťových bitů	224 / 1 152 000 (< 1%)
Dedikované násobičky	4 / 300 (1%)
Fázové závěsy	1 / 4 (25%)

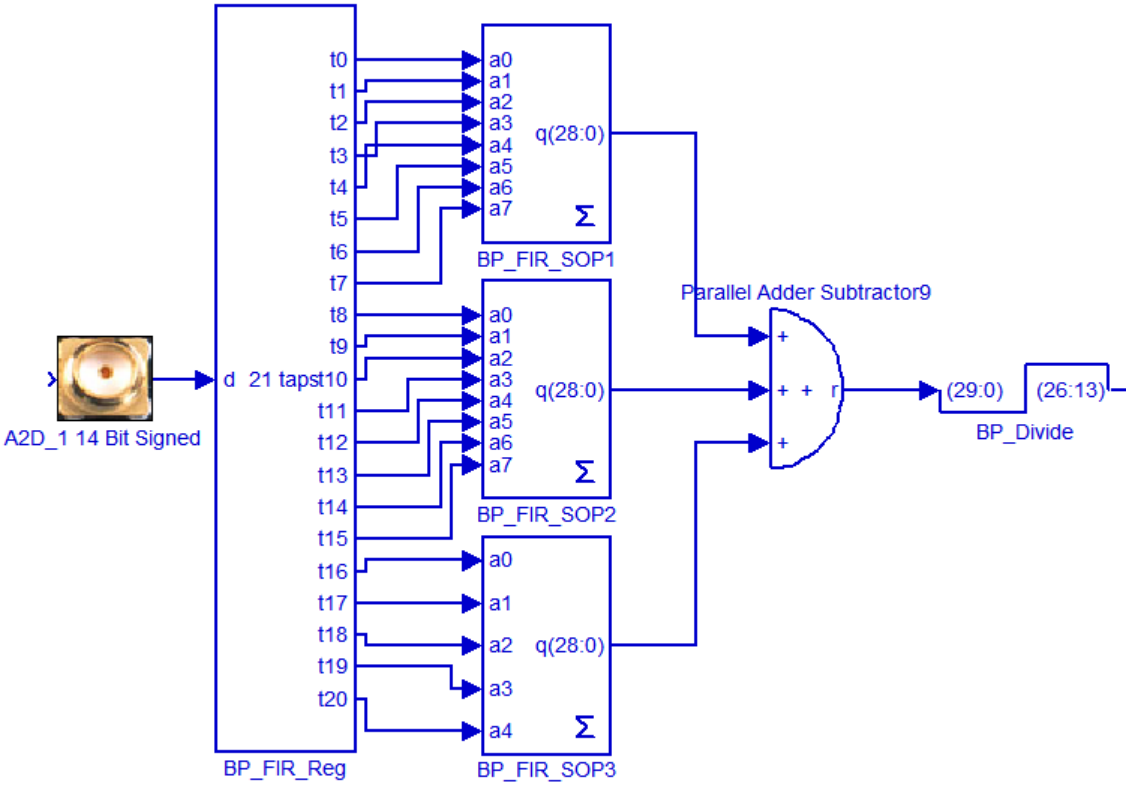
Schéma celého modulátoru včetně filtru je na Obr. 5.10. Je zde vidět přidání druhého čítače pro generaci další hodinové domény kvůli filtraci signálu.



Obr. 5.10: Blokové schéma modulátoru BPSK s předmodulační filtrací

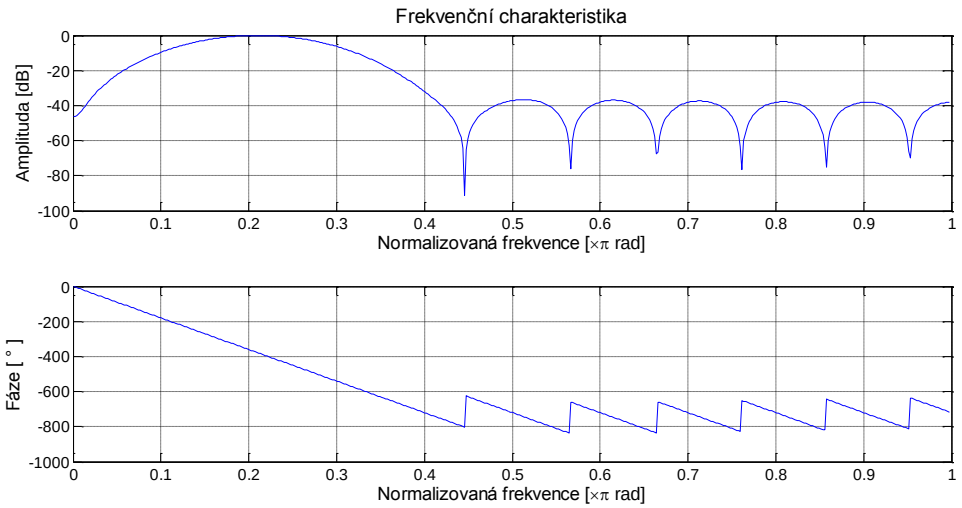
5.2 BPSK Demodulátor

Vlastní řešení demodulátoru vychází ze struktury na Obr. 2.8, kde je využita Costasova smyčka [3]. Pro celé řešení je použit jeden základní hodinový takt 100 MHz. Před vstupem do Costasovy smyčky, tj. vstup násobičky pro I složku a vstup násobičky pro Q složku, je provedena filtrace modulovaného signálu pásmovou propustí. Pásmová propust obsahuje 21 odboček (filtr 20. řádu). Úkolem tohoto filtru je potlačení rušivých signálů ve vstupním modulovaném signálu. Realizace tohoto bloku je stejným způsobem jako předmodulační filtr v modulátoru za pomoci bloků pro součet součinů (Sum of Products). Řešení je uvedené na Obr. 5.11.



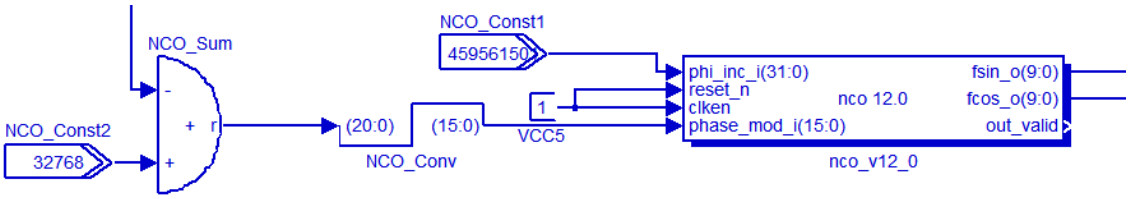
Obr. 5.11: Demodulátor – pásmová propust na vstupu

Z důvodu celočíselné implementace jsou koeficienty vynásobeny konstantou. Pro zachování zisku 0 dB je nutné zpětné vydělení, které je realizováno bitovým posunem (blok BP_Divide na Obr. 5.11). Frekvenční charakteristika pásmové propusti je na Obr. 5.12.



Obr. 5.12: Norm. frek. charakteristika pásmové propusti na vstupu demodulátoru

Druhý vstup násobičky pro I složku a násobičky pro Q složku je propojen s číslicově řízeným oscilátorem (NCO) generující kosinový signál a sinový signál, kde je dolaďována fáze na vstupní modulovaný signál. Oscilátor je nastaven na frekvenci 10,7 MHz a je řízený signálem, který je odvozený z výstupu Costasovy smyčky. Tento blok je realizován pomocí MegaCore Functions v prostředí DSP Builder. Blok NCO a jeho ovládání je na Obr. 5.13.



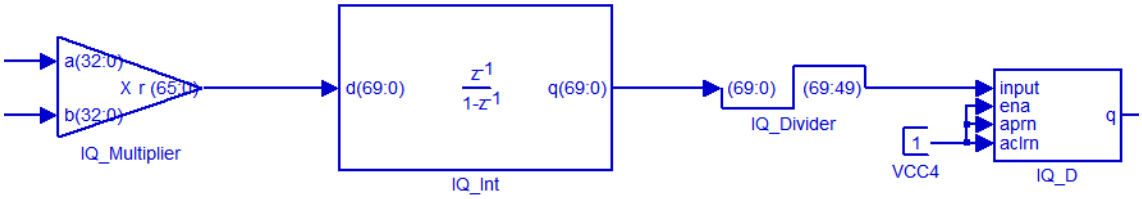
Obr. 5.13: Demodulátor – NCO a jeho ovládání

Ovládací vstup NCO je odvozen přes násobičku I a Q složky. Při zavěšení je výstup z této násobičky nulový a je nutné udržet poslední hodnotu, proto je tento signál integrován. Integrátor implementuje funkci, která je zapsána následující rovnicí:

$$y(n) = y(n-1) + x(n-1) \tag{5.2}$$

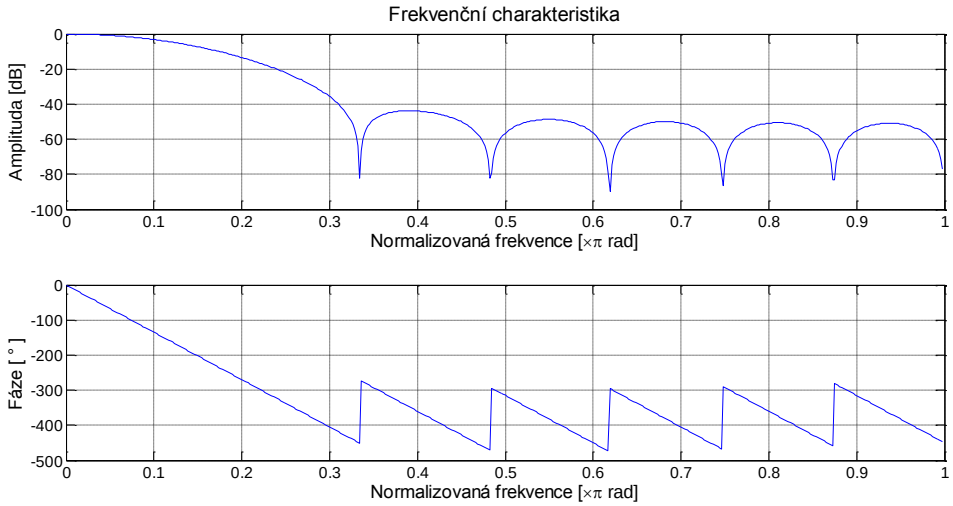
Po integraci je signál vydělen na rozsah vstupu NCO. Toto dělení dále realizuje zisk celé smyčky, který určí rychlost zavěšení. Při nízkém zisku je fáze dolaďována postupně (integrátor postupně navyšuje svojí hodnotu), při vysokém zisku je možnost

rozkmitání nebo postupného dolaďování s překmitem. Blokové uspořádání je na Obr. 5.14.



Obr. 5.14: Demodulátor – odvození ovládacího signálu pro NCO

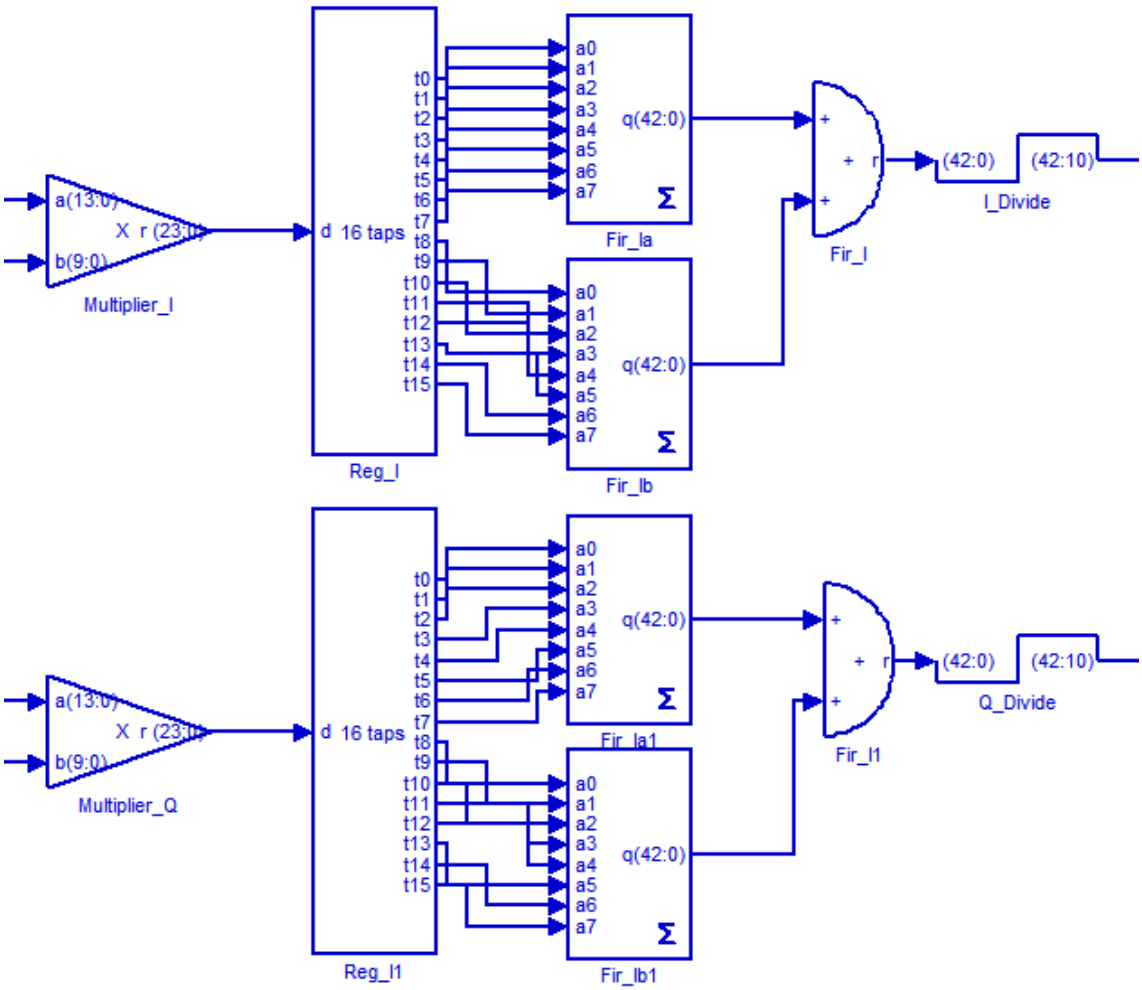
Získání I a Q složky je, jak bylo řečeno na začátku této kapitoly, násobičkami. Toto násobení má za následek vznik signálu obsahující rozdílový kmitočet (v případě stejných frekvencí se jedná o stejnosměrnou složku) a součtový kmitočet (dvojnásobný kmitočet). Složka obsahující součtový kmitočet je nežádoucí a je nutné ji potlačit filtrem. Pro tento účel je navržena dolní propust obsahující 16 odboček (filtr 15. řádu). Pro filtraci I složky a Q složky je použit stejný typ filtru a stejná implementace, která je realizována opět bloky pro součet součinů. Frekvenční charakteristika dolní propusti je na Obr. 5.15.



Obr. 5.15: Normalizovaná frek. charakteristika dolní propusti pro I složku a Q složku

Za těmito filtry je opět provedené dělení na snížení zesílení filtru, které vzrostlo opět použitím vynásobených koeficientů s konstantou. Tímto vydělením je i možnost snížit zisk Costasovy smyčky, kde se sníží hodnota přírůstku pro integrátor. Dělení je opět realizováno bitovým posunem. I složka a Q složka jsou použity pro ovládání

číslicově řízeného oscilátoru způsobem uvedeným výše a dále pro získání demodulovaného binárního signálu. Realizace filtru s úpravou zesílení je na Obr. 5.16.



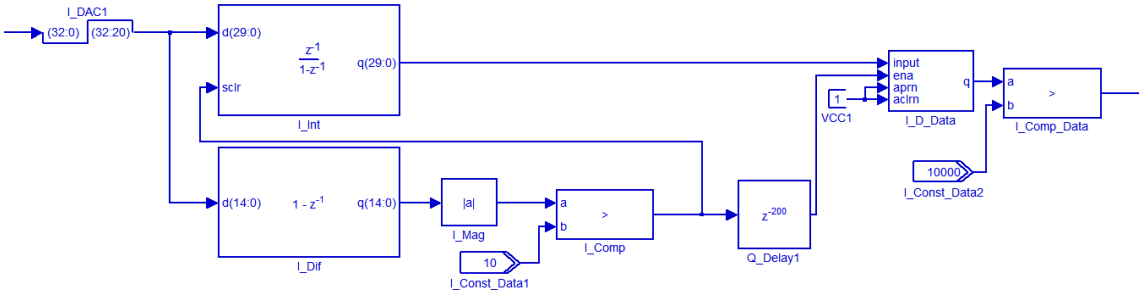
Obr. 5.16: Demodulátor – filtrace I složky a Q složky s úpravou zesílení

Získání demodulovaného signálu se u BPSK modulace použije I složka, pokud se jedná o QPSK modulaci, pro kterou je možné použít stejný princip demodulace pomocí Costasovy smyčky, jsou použity obě složky (I a Q).

Zpracování I složky na demodulovaný binární signál je řešeno integrátorem, kdy je hodnota I složky integrována. Doba integrace je odvozena zjednodušeným způsobem dle velikosti změny hodnoty I složky. Pro lepší výsledky je vhodné tuto dobu odvozovat z modulační rychlosti. Při zavěšení a neměnnosti fáze je změna v hodnotě I složky minimální v porovnání při změně fáze o 180°. Ke zjištění této změny je použit diferenciátor, kde se výstup v absolutní hodnotě porovnává s nastavenou mezí. Diferenciátorem je implementována rovnice uvedená vztahem 5.3.

$$y(n) = x(n) - x(n-1) \tag{5.3}$$

Výstup z komparátoru poté zajišťuje nulování integrátoru a dále je z něj odvozen okamžik, ve kterém se komparuje hodnota v integrátoru. Výstup této komparace je binární demodulovaný signál. Řešení je uvedeno na Obr. 5.17.

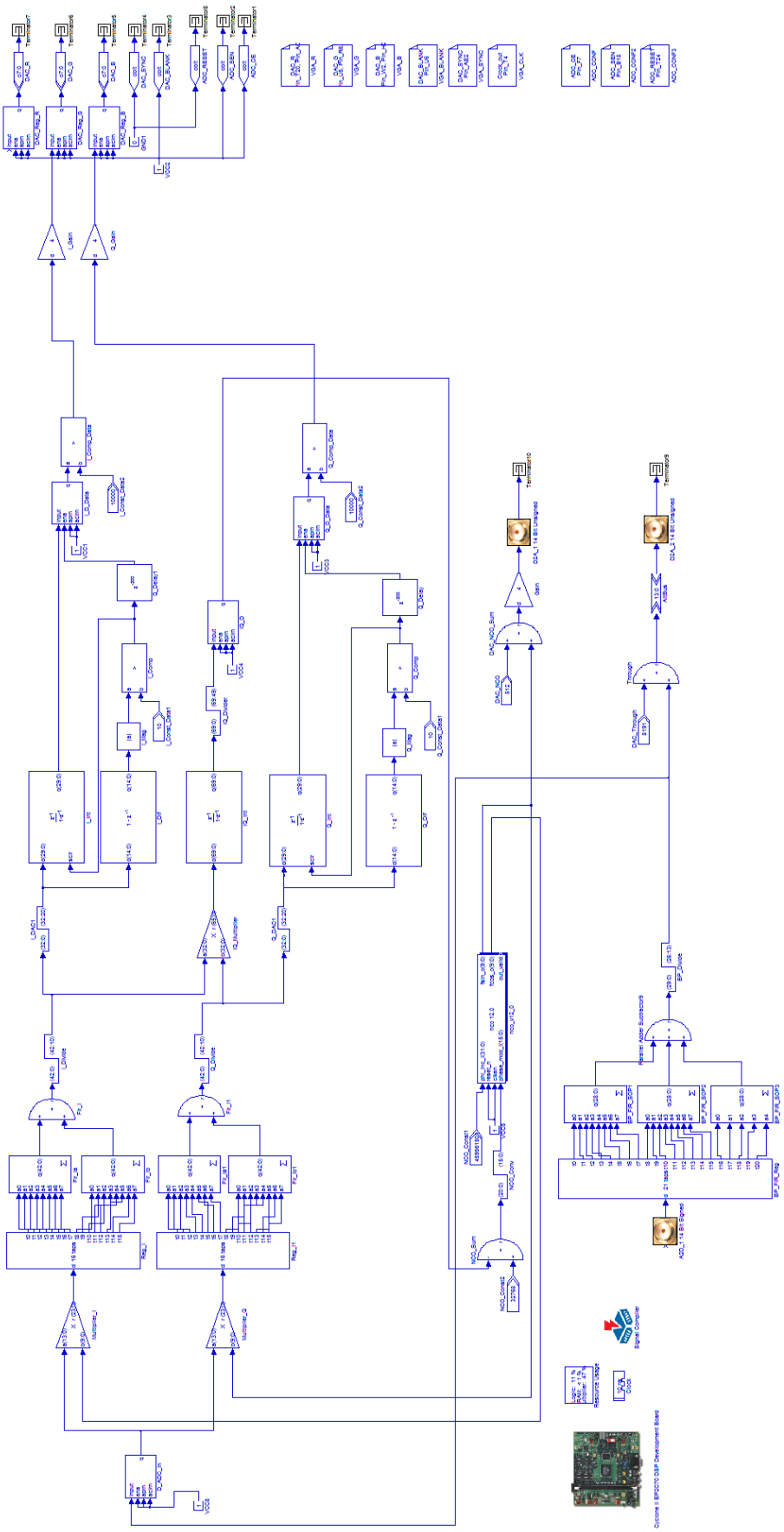


Obr. 5.17: Zpracování I složky na binární signál

V Tab. 5.3 je znázorněno využití FPGA, kde je vidět téměř poloviční využití dedikovaných násobiček v použitém FPGA. Celé navržené řešení je uvedeno na Obr. 5.18.

Tab. 5.3: Využití FPGA – Demodulátor

Počet logických elementů	7 653 / 68 416 (11%)
Počet registrů	6 059
Počet paměťových bitů	8 031 / 1 152 000 (< 1%)
Dedikované násobičky	140 / 300 (47%)
Fázové závěsy	0 / 4 (0%)



Obr. 5.18: Blokové schéma demodulátoru BPSK

6. Dosažené výsledky

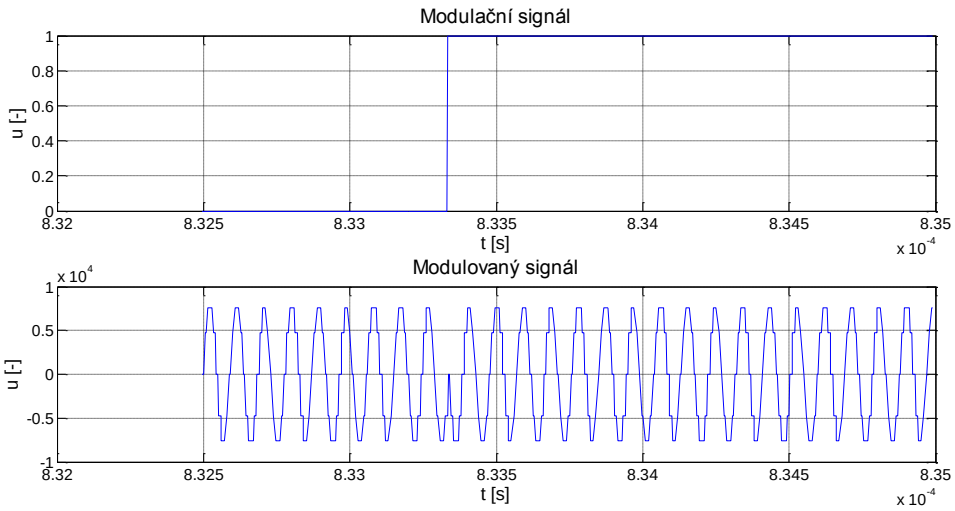
Dosažené výsledky jsou rozděleny do 2 částí. První část se zabývá simulačními výsledky a druhá část výsledky obdrženými realizací řešení v hardware.

6.1 Simulace

K simulaci je použito prostředí Matlab Simulink, kde jako zdroje pro testování jsou vybrány bloky z obsažených knihoven.

6.1.1 Modulátor bez filtrace

Na Obr. 6.1 je znázorněn průběh modulačního a modulovaného signálu při změně modulačního signálu z hodnoty 0 na hodnotu 1.

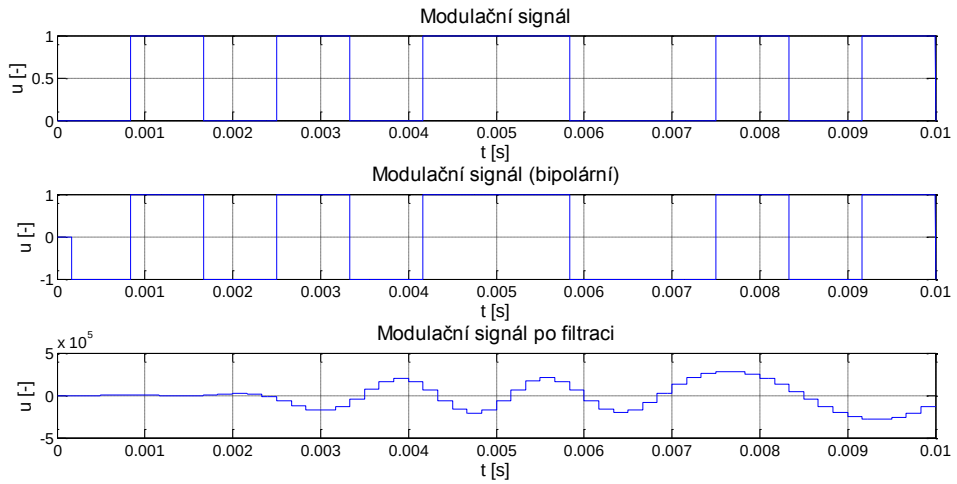


Obr. 6.1: Modulační a modulovaný signál

Z grafu je zřejmé udržení konstantní amplitudy modulovaného signálu, pouze se u tohoto signálu mění fáze, kde je vidět skok při změně modulačního signálu.

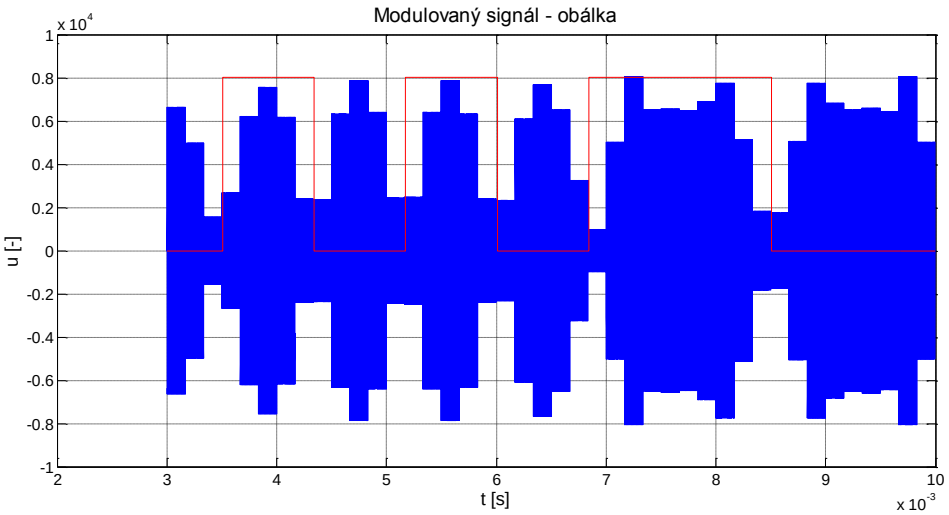
6.1.2 Modulátor s předmodulační filtrací

Modulátor s předmodulační filtrací má v sobě zařazen filtr, který má za cíl zlepšit spektrum modulovaného signálu. Na Obr. 6.2 je průběh modulačního signálu, dále tento signál upravený na bipolární z unipolárního, tato úprava je nutná pro realizaci změny fáze pomocí násobení, a modulovaný signál po filtraci navrženým filtrem typu dolní propust.



Obr. 6.2: Průběhy signálu v BPSK modulátoru s předmodulační filtrací

Z průběhu modulačního signálu po filtraci je vidět postupná změna signálu z kladných hodnot do záporných, resp. opačně. Tato změna má za následek změnu amplitudy modulovaného signálu, kdy signál postupně snižuje amplitudu k nule a poté amplitudu zvyšuje, ale s posunutou fází. Obálka takového průběhu je na Obr. 6.3, červeně v grafu je vyznačen modulační signál.

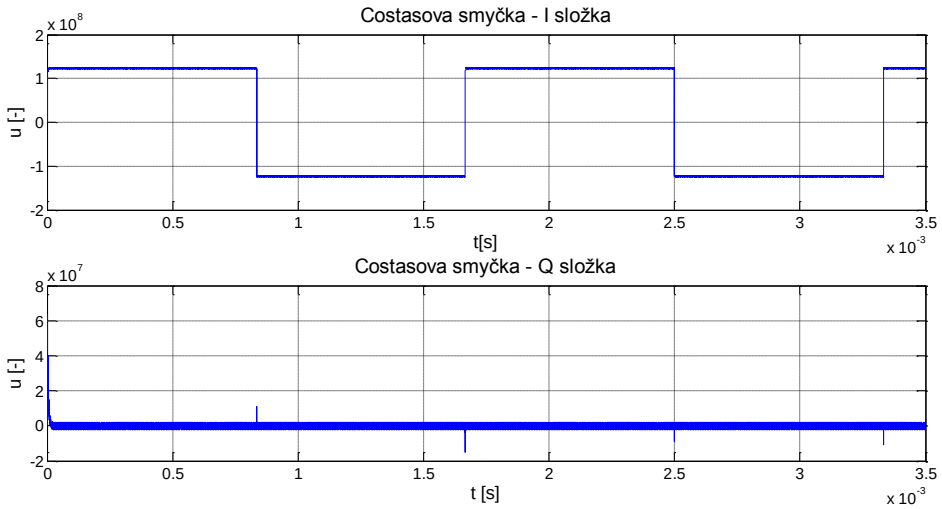


Obr. 6.3: Obálka modulovaného signálu

Z obálky je patrná změna amplitudy, která se při změně modulačního signálu zmenšuje a poté zvětšuje. Velikost amplitudy při této změně je dána použitým bitovým rozlišením, zvětšením bitového rozlišení lze dosáhnout menší amplitudy při této změně.

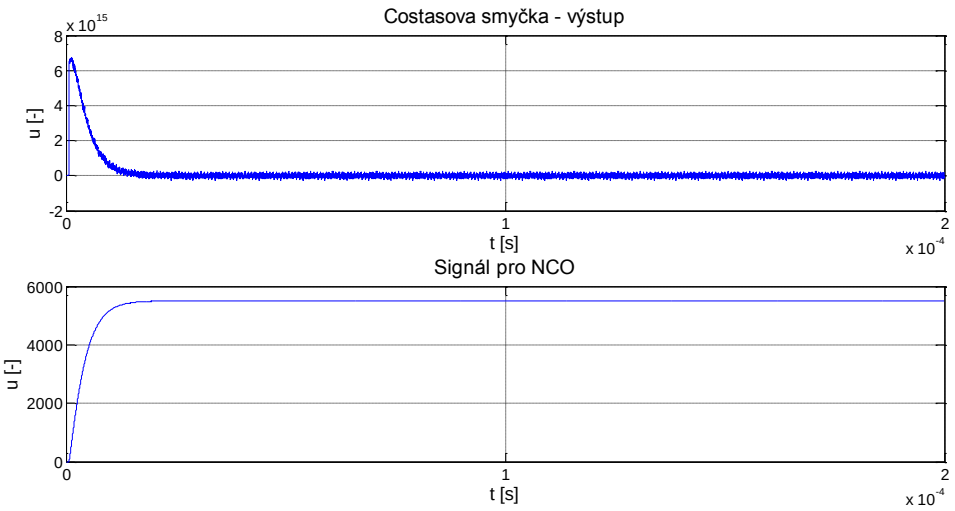
6.1.3 Demodulátor

U demodulátoru jsou důležité signály I a Q složky. Tyto signály jsou znázorněné na Obr. 6.4.



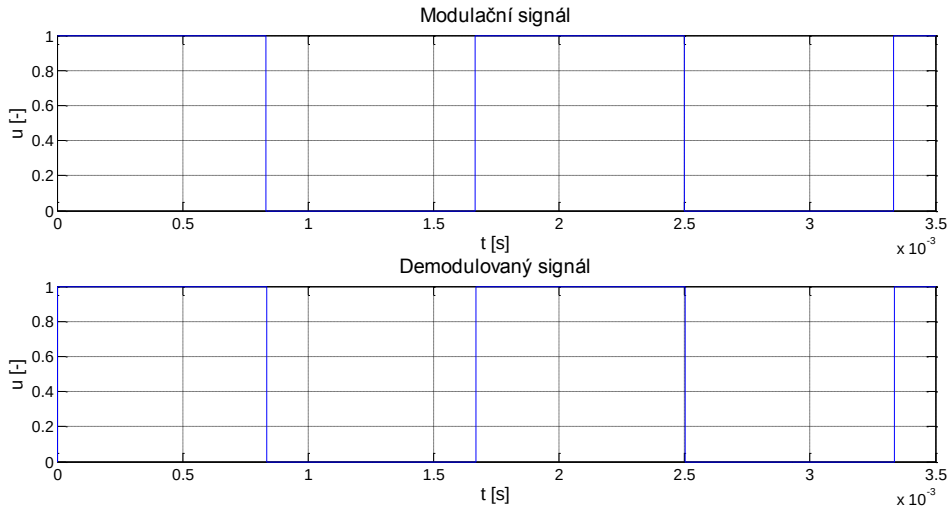
Obr. 6.4: Costasova smyčka – I složka a Q složka

Ze znázorněných průběhů je patrné zavěšení, při kterém jedna ze složek je rovná nule, případně kolísá kolem nulové hodnoty s malou amplitudou v porovnání s druhou složkou. Pro ilustraci je v příloze uveden případ, kdy smyčka není zavěšena. Uvedeny jsou obě složky (I a Q). Z I složky a Q složky je následně odvozen signál pro ovládání číslicově řízeného oscilátoru (NCO), na Obr. 6.5 je znázorněn průběh signálu vzniklého násobením těchto 2 složek a signál po integraci tohoto signálu. Z těchto signálů je vidět, jak se systém zavěšuje. Postupně se integruje hodnota z výstupu Costasovy smyčky, která při zavěšení zůstane zachována v integrátoru. V příloze je opět uveden případ, kdy systém není zavěšený.



Obr. 6.5: Costasova smyčka – signály pro NCO

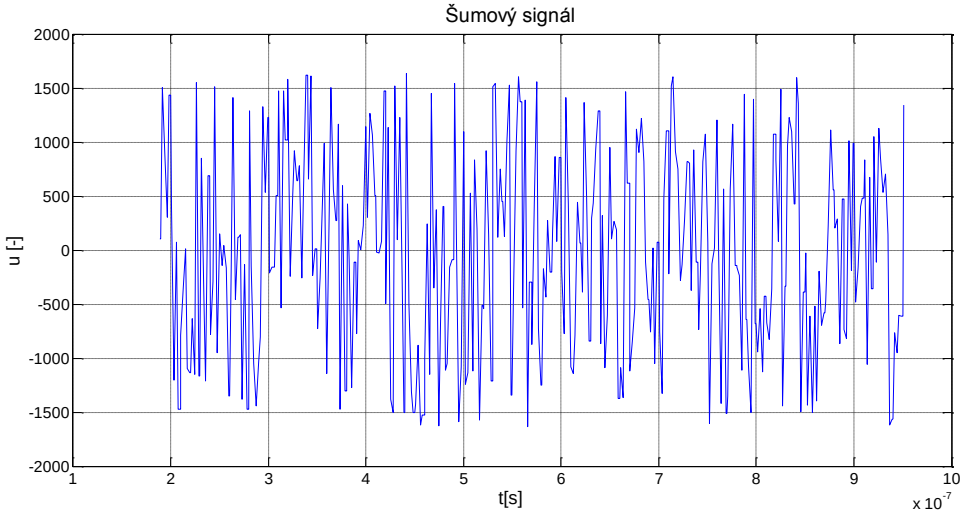
Demodulátor je navržen pro vstupní signál o 14 bitech (z důvodu 14b AD převodníku na vývojové desce), proto je provedena simulace z hlediska využití tohoto rozsahu. Systém je schopný z hlediska simulace provést demodulaci v rozsahu 40% až 95% z maximálního rozsahu daného 14 bity ve dvojkovém doplňku. Na Obr. 6.6 je průběh modulačního signálu a demodulovaného signálu.



Obr. 6.6: Modulační a demodulovaný signál

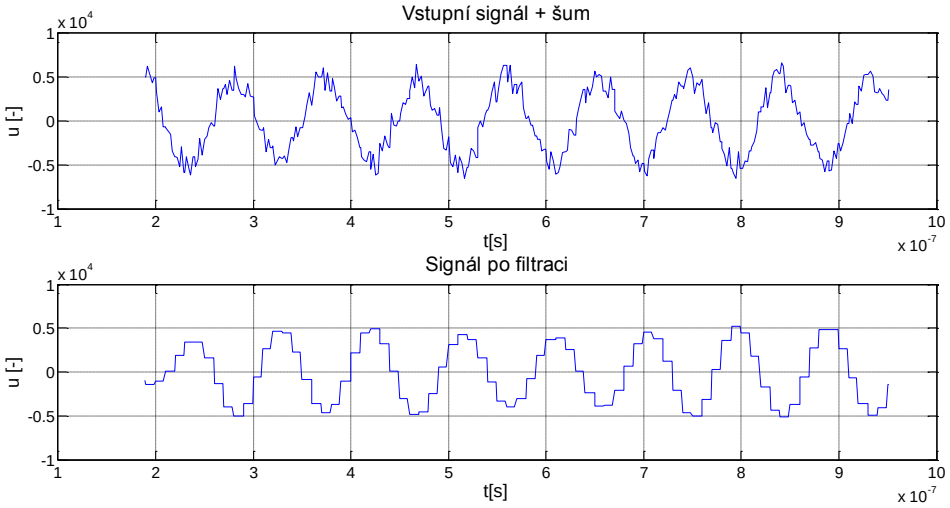
6.1.4 Demodulátor s vlivem přenosového kanálu

Vliv přenosového kanálu je realizován přičtením bílého šumu na vstupu demodulátoru k modulovanému signálu. Šumový signál je znázorněn na Obr. 6.7. Amplituda je nastavena přibližně na 30% amplitudy modulovaného signálu.



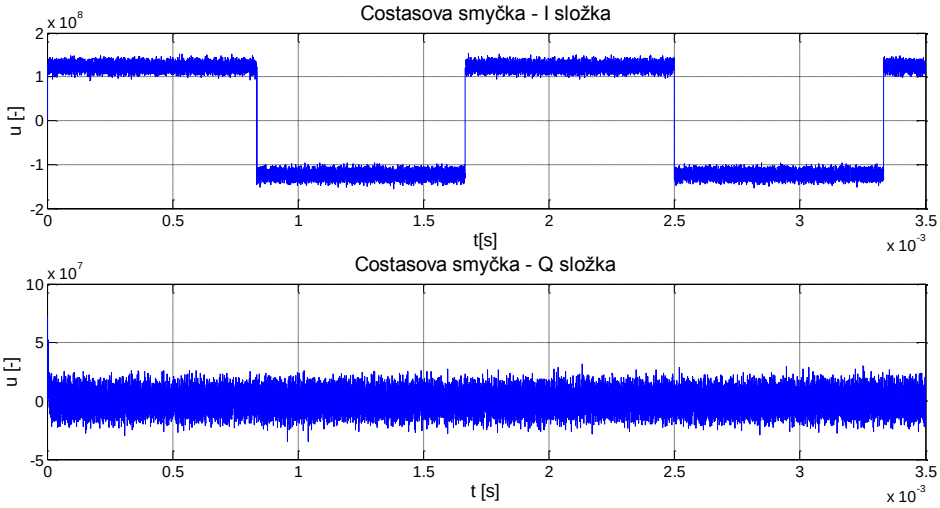
Obr. 6.7: Časový průběh bílého šumu

Na Obr. 6.8 je průběh signálu vzniklého přidáním bílého šumu k vstupnímu modulovanému signálu. Na stejném obrázku je dále znázorněn průběh signálu vzniklý filtrací pomocí pásmové propusti, která je na vstupu demodulátoru.



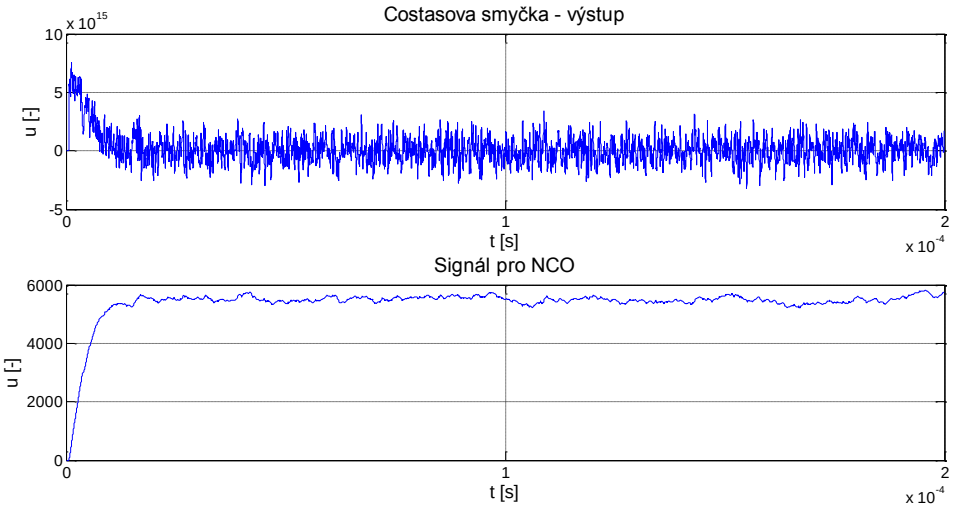
Obr. 6.8: Vstupní modulační signál s bílým šumem a jeho filtrace

Na následujícím obrázku (Obr. 6.9) je ukázán průběh I složky a Q složky. Zde je patrná změna v porovnání s Obr. 6.4. Signály se pohybují kolem nuly nebo svého maxima (resp. minima), ale mají větší rozkmit než signály bez vlivu přenosového kanálu.



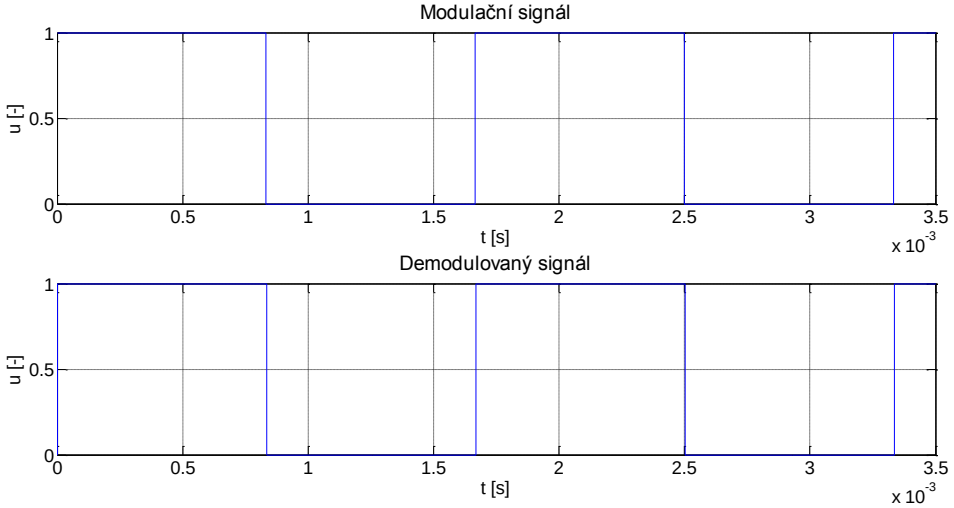
Obr. 6.9: Costasova smyčka – I složka a Q složka s vlivem přenosového kanálu

Pro další porovnání jsou znázorněny průběhy jako na Obr. 6.5 (ovládání NCO). Jelikož výstupní signál z Costasovy smyčky má větší rozkmit, signál vzniklý integrací tohoto signálu místo zachování jedné hodnoty, kolísá kolem hodnoty potřebné pro zavěšení. Protože tento rozkmit nemá vliv na změnu fáze NCO, smyčka se nerozladí.



Obr. 6.10: Costasova smyčka – signály pro NCO s vlivem přenosového kanálu

Pro odvození demodulovaného signálu je použita I složka (resp. Q složka). Zvětšený rozkmit nemá na toto odvození vliv z důvodu integrátoru, který je součástí vyhodnocovací cesty. Výsledný signál je na Obr. 6.11

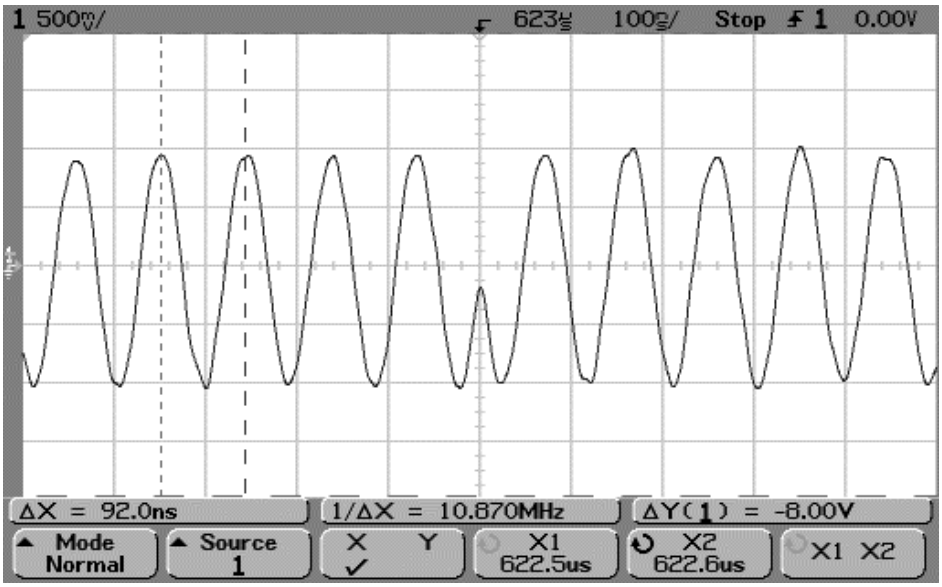


Obr. 6.11: Modulační a demodulovaný signál s vlivem přenosového kanálu

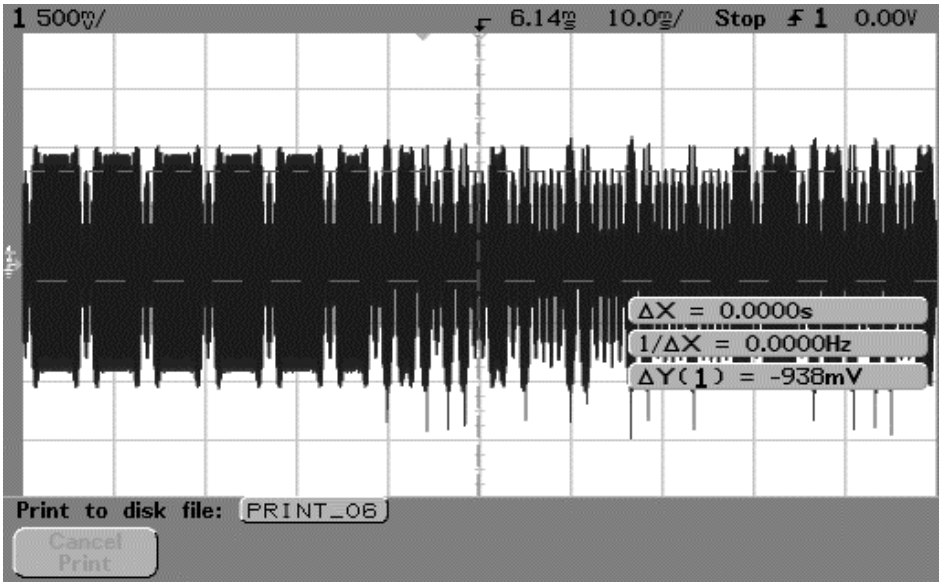
6.2 Měření

6.2.1 Modulátor

Zde je měřen modulovaný signál za DA převodníkem. Průběh tohoto signálu z modulátoru bez filtrace je znázorněn na Obr. 6.12. Z průběhu je vidět změna fáze modulovaného signálu. U modulátoru s filtrací je zkoumána obálka tohoto signálu, ta je znázorněna na Obr. 6.13, pokles amplitudy znamená změnu v hodnotě modulačního signálu.

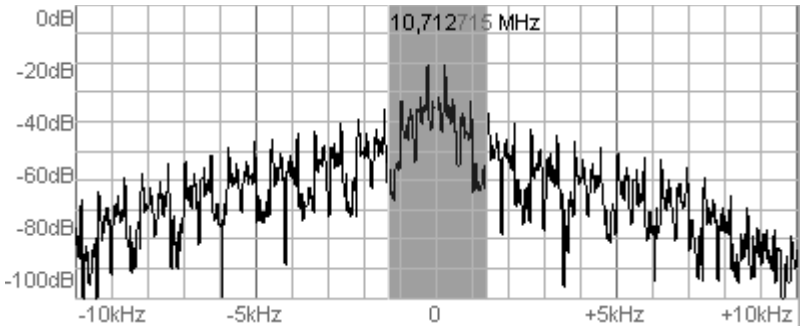


Obr. 6.12: Průběh modulovaného signálu



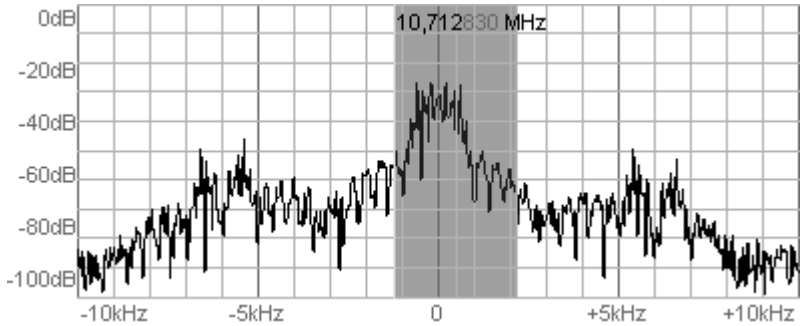
Obr. 6.13: Obálka modulovaného signálu

Z průběhu obálky modulovaného signálu je jsou vidět místa, v kterých dochází ke změně fáze. Modulovaný signál byl dále zaveden do přijímače se softwarovým rádiem WiNRADiO G313e. Dekódování je provedeno demodulačním programem MixW 2. Tímto způsobem je zjištěno spektrum modulovaného signálu, které je znázorněno na následujím obrázku.



Obr. 6.14: Spektrum modulovaného signálu

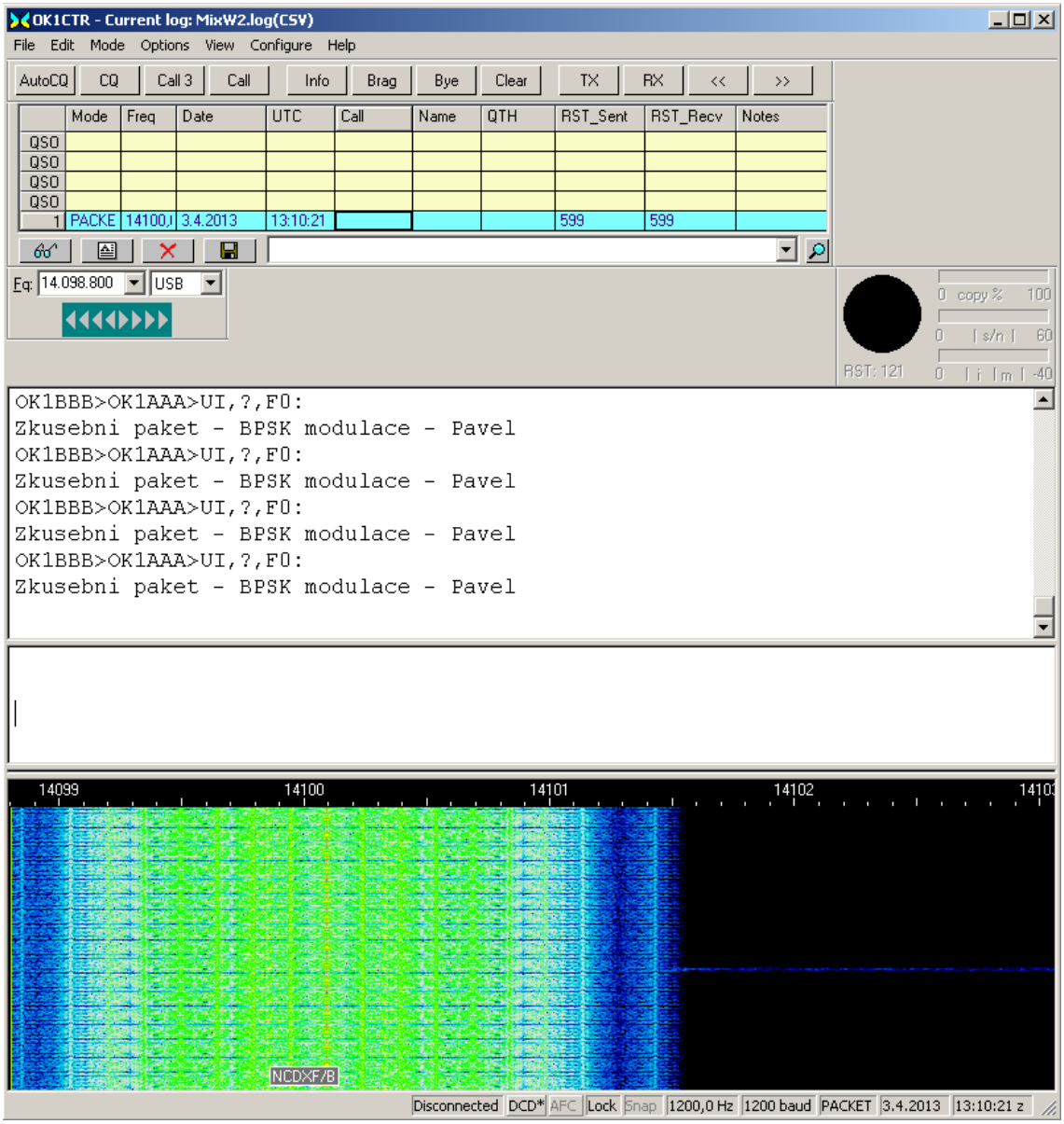
Pro porovnání obou modulátorů je na dalším obrázku uvedeno spektrum modulovaného signálu pro modulátor s předmodulační filtrací.



Obr. 6.15: Spektrum modulovaného signálu s předmodulační filtrací

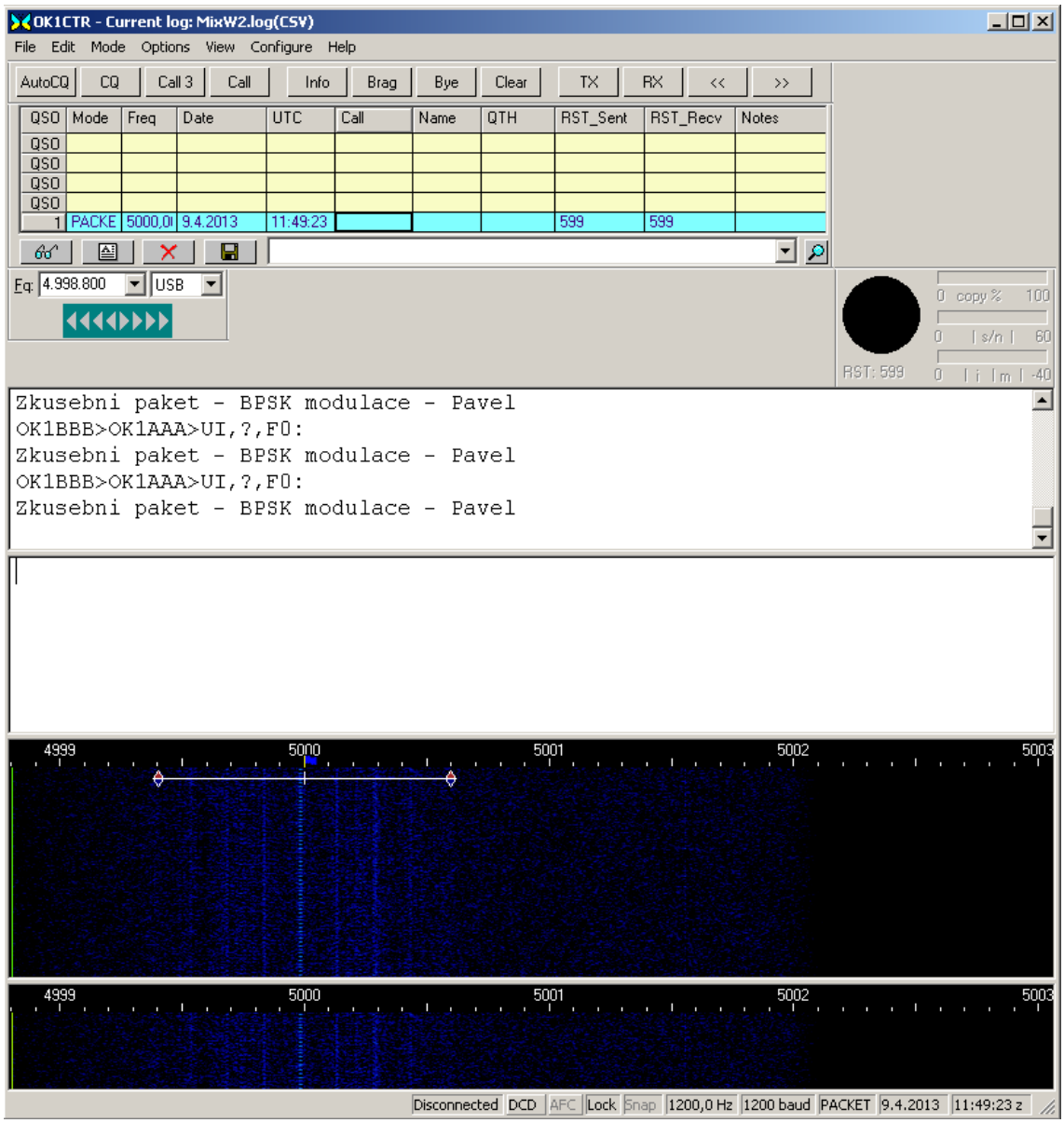
Z porovnání spekter obou modulovaných signálů je vidět výrazný vliv předmodulačního filtru na spektrum modulovaného signálu, pokles postranních laloků je zde přibližně 30dB.

Dále pomocí tohoto přístroje je otestována funkčnost správného vysílání a nastavené modulační rychlosti. K tomuto účelu je v modulátoru přednastaveno několik paketů vysílajících cyklicky, které lze měnit. Zachycený a demodulovaný paket je vidět na Obr. 6.16.



Obr. 6.16: Přijímaný paket z BPSK modulátoru bez filtrace

Pro provoz modulátoru s předmodulační filtrací je provedeno stejné testování. Výsledný přijatý paket je uveden na Obr. 6.17.

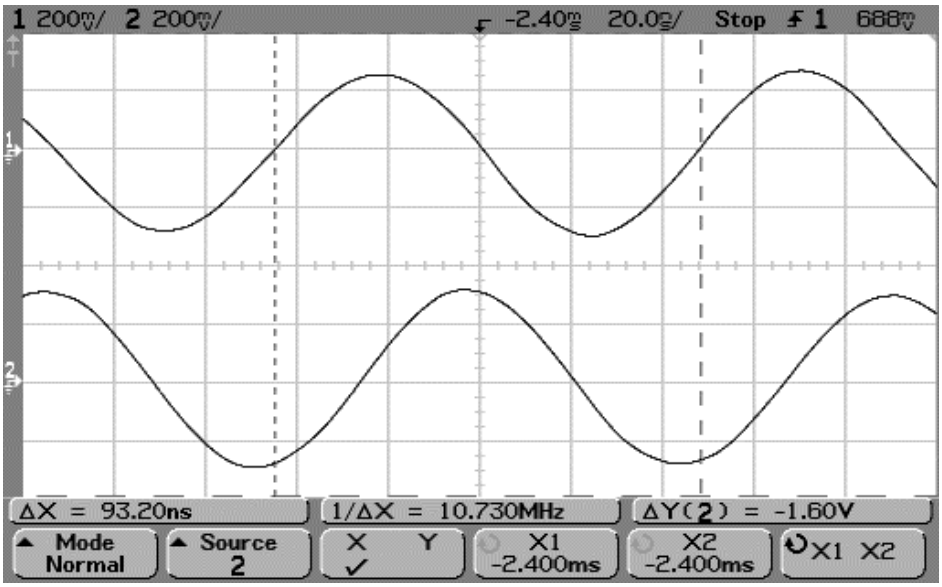


Obr. 6.17: Přijímaný paket z BPSK modulátoru s předmodulační filtrací

Z předchozích obrázků je vidět správná funkčnost obou typů modulátoru s modulační rychlostí 1200 Bd.

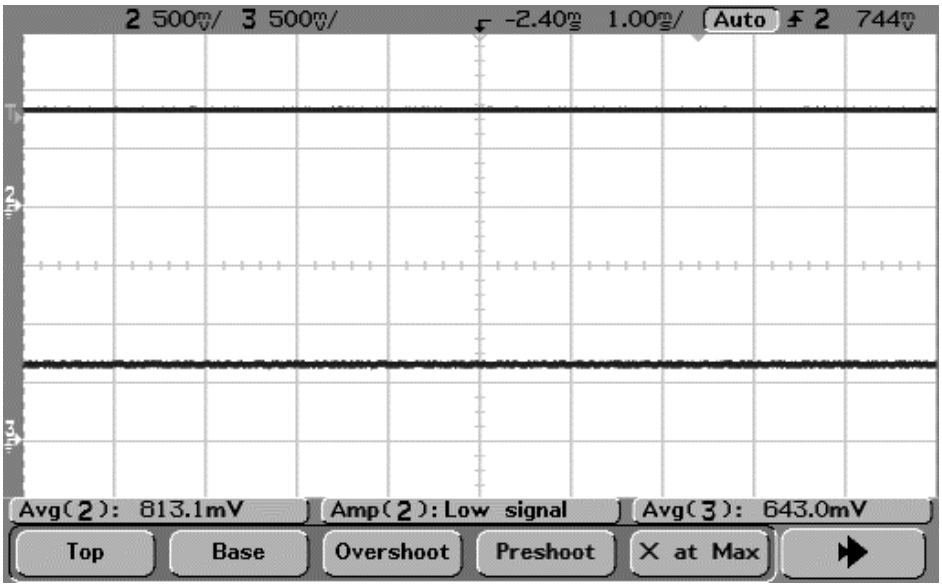
6.2.2 Demodulátor

Při funkci demodulátoru jsou zkoumány signály, které generuje číslicově řízený oscilátor (NCO), ty jsou důležité pro správné získání I složky a Q složky, tyto průběhy jsou zobrazeny na Obr. 6.18.



Obr. 6.18: Signály generující NCO

Z průběhů je vidět správná funkčnost NCO, který generuje 2 signály fázově posunuté vůči sobě o 90° (kosinová složka a sinová složka). Pro zjištění zavěšení jsou dále zjištěny průběhy I složky a Q složky. Tyto průběhy jsou znázorněny na Obr. 6.19.



Obr. 6.19: Costasova smyčka – I složka (kanál 2) a Q složka (kanál 3)

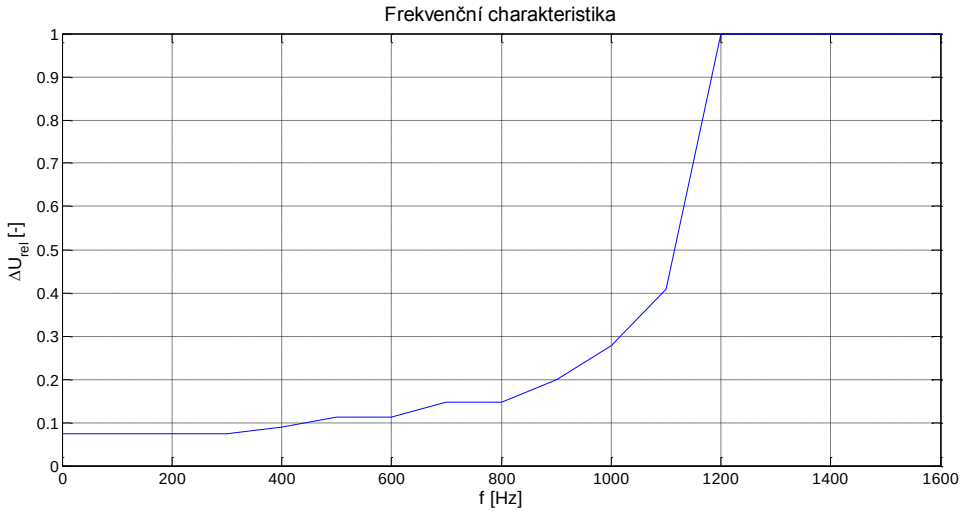
Tyto signály jsou vyvedeny přes stejnosměrně vázaný neznaménkový DA převodník, proto je zde zaveden posun. Nulová hodnota v průběhu je znázorněna hodnotou napětí v polovině rozsahu DA převodníku, tato hodnota odpovídá napětí Q složky na Obr. 6.19. Z těchto průběhů je vidět zavěšení, jedna složka je nulová a druhá dosahuje svého maxima, příp. minima. Schopnost udržení zavěšené složky je přibližně v rozsahu pásma 1 kHz.

Další parametr je frekvenční charakteristika smyčky, kde je zkoumán rozkmit I složky v závislosti na frekvenci s jakou se mění fáze vstupního signálu. S touto frekvencí se mění vstupní signál o 180°, proto tento kmitočet odpovídá modulační rychlosti. Maximální rozkmit znamená, že I složka je schopná dosáhnout své maximální i minimální hodnoty, tzn. I složka je schopná indikovat změnu fáze vstupního signálu. Naměřené hodnoty jsou uvedeny v Tab. 6.1. Hodnoty jsou vztažené k maximálnímu rozkmitu (ΔU_{rel} hodnota rozkmitu složky vzhledem k maximálnímu rozkmitu).

Tab. 6.1: Frekvenční charakteristika Costasovy smyčky

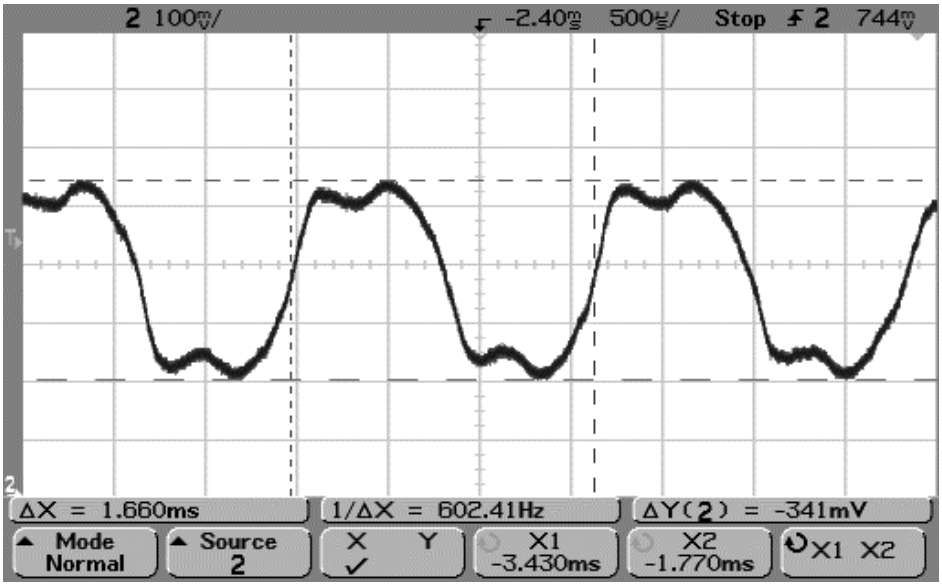
f [Hz]	0	100	200	300	400	500	600	700	800
ΔU_{rel} [-]	0,07	0,07	0,07	0,07	0,09	0,11	0,11	0,15	0,15
f [Hz]	900	1000	1100	1200	1300	1400	1500	1600	
ΔU_{rel} [-]	0,20	0,28	0,41	1,00	1,00	1,00	1,00	1,00	

Pokud je ve složce rozkmit maximální ($\Delta U_{rel} = 1$), smyčka nestíhá doladit fázi dle vstupu a je schopná demodulace. Pokud se tento rozkmit snižuje ($\Delta U_{rel} < 1$), smyčka je schopná doladit fázi na vstupní signál a není možná demodulace. Frekvenční charakteristika je znázorněna na Obr. 6.20. Z frekvenční charakteristiky je vidět schopnost demodulace v pásmu 1200 Hz až 1600 Hz, které odpovídá modulační rychlosti 1200 Bd až 1600 Bd. Při vyšší rychlosti je signál I složky zkreslený a není možné z tohoto signálu odvozovat výstupní datový signál v dané konfiguraci.



Obr. 6.20: Frekvenční charakteristika Costasovy smyčky

Složka I v Costasově smyčce při zkoumání frekvenčních vlastností v nastavení, kdy Costasova smyčka je schopná demodulace, je znázorněna na Obr. 6.21.



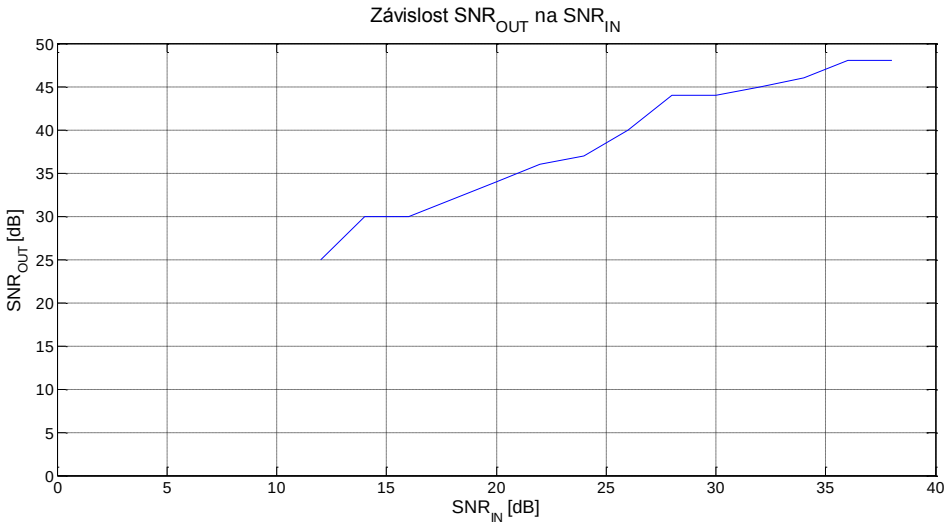
Obr. 6.21: Costasova smyčka – I složka při schopnosti demodulace

Dále je provedeno měření při různém nastavení *SNR* vstupního signálu a je zaznamenán poměr *SNR* I složky (SNR_{OUT}). Tyto hodnoty jsou uvedeny v Tab. 6.2.

Tab. 6.2: *SNR* vstupního signálu a I složky v Costasově smyčce

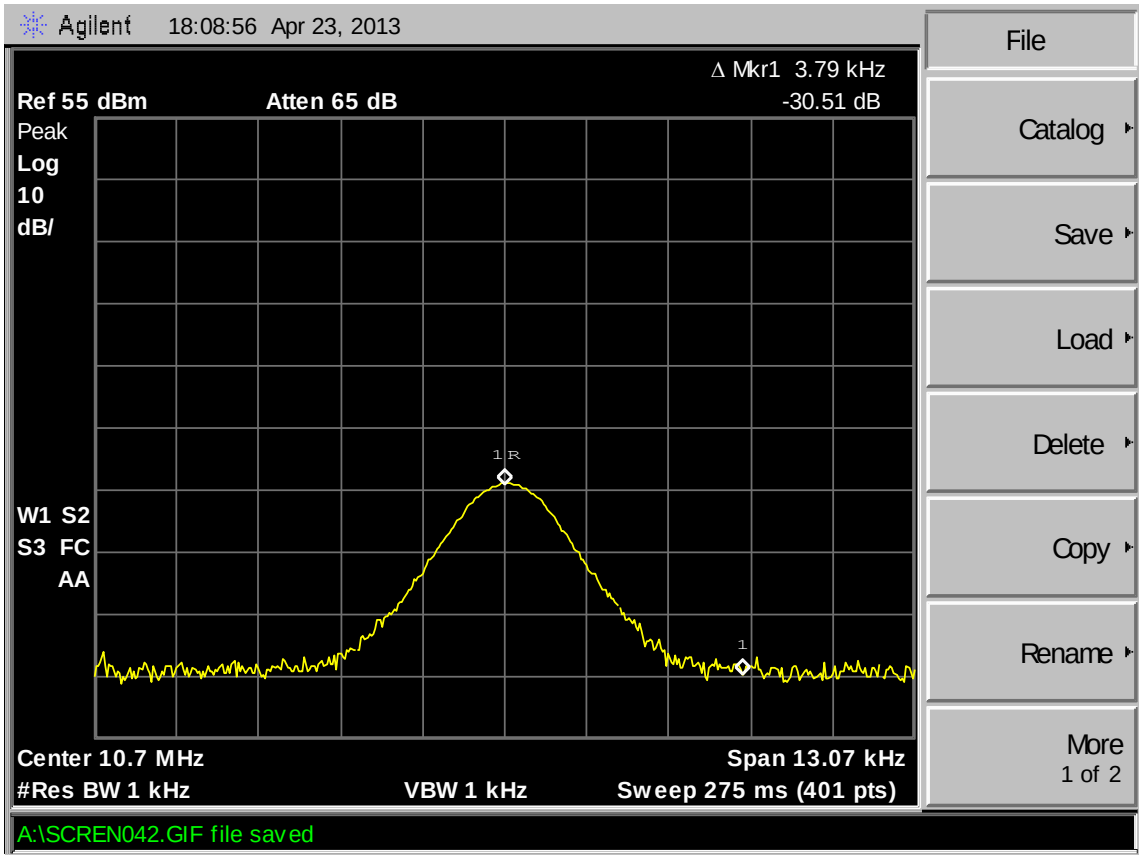
SNR_{IN} [dB]	38	36	34	32	30	28	26
SNR_{OUT} [dB]	48	48	46	45	44	44	40
SNR_{IN} [dB]	24	22	20	18	16	14	12
SNR_{OUT} [dB]	37	36	34	32	30	30	25

Závislost SNR_{OUT} vzhledem k poměru SNR_{IN} je znázorněn na Obr. 6.22. Zde je vidět zlom při nízkém *SNR* na vstupu, zde už smyčka není zavěšení a I Složka se pohybuje mezi svým maximem a minimem. Při vzrůstajícím *SNR* je tento poměr na výstupu zlepšený a rozdíl mezi výstupním poměrem a vstupním poměrem se výrazně nemění.



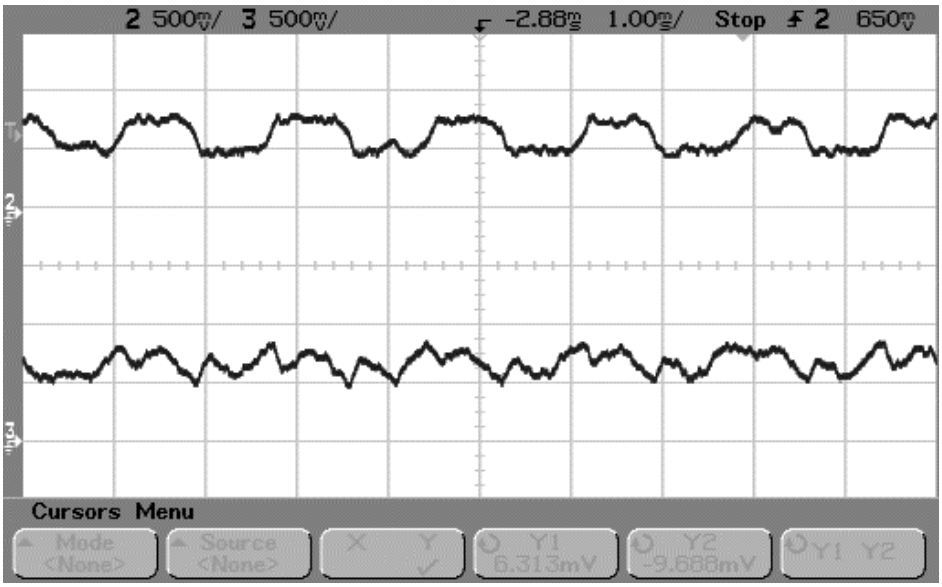
Obr. 6.22 Závislost SNR_{OUT} na SNR_{IN}

Spektrum signálu s nastaveným poměrem *SNR* na 24 dB je ukázán na Obr. 6.23. Je zde vidět užitečný signál v podobě nosné vlny na frekvenci 10,7 MHz a rovnoměrně rozložený šum.



Obr. 6.23: Spektrum signál s nastaveným *SNR*

Na dalším obrázku je znázorněn průběh I a Q složek při SNR_{IN} = 24 dB. V porovnání s Obr. 6.21 je patrný větší rozkmit a kolísání těchto složek.



Obr. 6.24: Costasova smyčka – I složka a Q složka při SNR_{IN} = 24 dB

Z naměřených hodnot a průběhů je vidět funkčnost navrženého demodulátoru při frekvenci nosné vlny 10,7 MHz. Při této frekvenci smyčka vykazuje schopnost zavěšení a doladění fáze. Při rychlé změně fáze smyčka zůstane zachycena na původní hodnotě fáze vstupního signálu a je schopná demodulace. Pokud je tato změna pomalá, smyčka rozdíl fáze doladí (není možnost demodulace).

7. Závěr

Práce se zabývá využitím programovatelného pole Altera pro číslicové modulace. Simulací je ověřena funkčnost navrženého modulátoru a demodulátoru za použití číslicových bloků. V simulaci demodulátoru je i zahrnuta simulace přenosového kanálu. Vytvořené řešení je realizováno v programovatelném poli a ověřena jeho funkčnost. Pro modulátor jsou navržena 2 řešení, kde u jednoho řešení je využita předmodulační filtrace pro omezení šířky pásma modulovaného signálu. U demodulátoru je ověřena funkčnost bez vlivu přenosového kanálu a s vlivem přenosového kanálu. Práce ukazuje reálné využití FPGA pro aplikaci modulací.

Při řešení je možné narazit na problémy s násobičkami, příp. s děličkami. Hardware může některé tyto bloky sdílet pro více signálů a je možnost vzniku hazardů, kdy vznikají falešné signály. Tyto rušivé signály se poté mohou přičítat k užitečnému signálu v dané cestě a při následném zpracování mohou způsobit špatné chování dalších částí systému z důvodu zpracování jiných hodnot, než které se v systému mají vyskytovat. Při použití bloků z knihovny DSP Builder lze tomuto předejít nastavením počtu úrovní pipeline.

Pro reálné využití takto navrženého systému je při jeho aplikaci nutná úprava na cílový hardware (vstupy, výstupy, atd.), toto řešení je vázané na vývojový kit (AD a DA převodníky). Proto je vhodné navržené řešení popsat pomocí VHDL s možností parametrizace. Touto parametrizací je možné dosáhnout změny modulační rychlosti u modulátoru, změny pracovního pásma demodulátoru a změnu bitové šířky vstupních dat (demodulátor) a výstupních dat (modulátor). Změna modulační rychlosti modulátoru lze provést nastavitelnou hodnotou modulo u čítačů generující hodinový takt vzorkování modulačního signálu a vzorkování pro předmodulační filtr. Zlepšení pracovního pásma demodulátoru z hlediska modulační rychlosti, resp. jeho zvětšení, lze provést parametrizovatelnou hodnotou zisku Costasovy smyčky, z tohoto důvodu je vhodné udělat adaptabilitu demodulátoru dle vstupní úrovně signálu, aby hodnoty signálů v Costasově smyčce byly v celém rozsahu vstupního signálu přibližně stejné. Tímto se dosáhne i zlepšení pracovního pásma demodulátoru z hlediska využití rozsahu vstupního signálu.

Navržené řešení je dále možné i využít pro QPSK demodulátor. Při demodulaci QPSK se využije Q složka z Costasovy smyčky, z které se odvodí hodnoty 0, 1 a -1. To samé se provede pro I složku. Tyto hodnoty se využijí pro získání datového signálu o šířce 2 b.

Seznam obrázků

Obr. 1.1: Blokové schéma digitálního signálového procesoru 8

Obr. 1.2: Blokové schéma FPGA 8

Obr. 2.1: Přehled rozdělení modulací 9

Obr. 2.2: Průběh modulačního a BPSK signálu 11

Obr. 2.3: Spektrální hustota BPSK modulace [1] 12

Obr. 2.4 Modulátor BPSK – analogové bloky 13

Obr. 2.5: Modulátor BPSK – číslicové bloky 13

Obr. 2.6: Modulátor BPSK – výhodnější řešení 14

Obr. 2.7: Demodulátor BPSK 15

Obr. 2.8: Demodulátor BPSK na základě Costasovy smyčky 15

Obr. 2.9 : Signálový prostor BPSK 17

Obr. 2.10: Závislost p_b na poměru k (2.9) 18

Obr. 2.11: Simulační schéma 19

Obr. 4.1: Ukázka prostředí Simulink - knihovny 23

Obr. 4.2: Seznam skupin bloků v DSP Builder 24

Obr. 4.3: Prostředí Simulink s využitím DSP Builder 25

Obr. 4.4: Vývojový kit Altera 26

Obr. 5.1: Modulátor – LUT tabulka a násobička 28

Obr. 5.2: Modulátor – pakety a úprava na bipolární signál 29

Obr. 5.3: Modulátor – posun pro DA převodník 29

Obr. 5.4: Modulátor – čítač pro hodinový signál generující data 30

Obr. 5.5: Modulátor – hodinové domény 30

Obr. 5.6: Blokové schéma modulátoru BPSK 31

Obr. 5.7: Modulátor – Raised Cosine filtr 32

Obr. 5.8: Normalizovaná frek. charakteristika předmodulačního Raised Cosine filtru . 33

Obr. 5.9: Modulátor – dělička 34

Obr. 5.10: Blokové schéma modulátoru BPSK s předmodulační filtrací 35

Obr. 5.11: Demodulátor – pásmová propust na vstupu 36

Obr. 5.12: Norm. frek. charakteristika pásmové propusti na vstupu demodulátoru 37

Obr. 5.13: Demodulátor – NCO a jeho ovládání 37

Obr. 5.14: Demodulátor – odvození ovládacího signálu pro NCO 38

Obr. 5.15: Normalizovaná frek. charakteristika dolní propusti pro I složku a Q složku 38

Obr. 5.16: Demodulátor – filtrace I složky a Q složky s úpravou zesílení 39

Obr. 5.17: Zpracování I složky na binární signál 40

Obr. 5.18: Blokové schéma demodulátoru BPSK 41

Obr. 6.1: Modulační a modulovaný signál 42

Obr. 6.2: Průběhy signálu v BPSK modulátoru s předmodulační filtrací 43

Obr. 6.3: Obálka modulovaného signálu 43

Obr. 6.4: Costasova smyčka – I složka a Q složka 44

Obr. 6.5: Costasova smyčka – signály pro NCO 45

Obr. 6.6: Modulační a demodulovaný signál 45

Obr. 6.7: Časový průběh bílého šumu 46

Obr. 6.8: Vstupní modulační signál s bílým šumem a jeho filtrace 46

Obr. 6.9: Costasova smyčka – I složka a Q složka s vlivem přenosového kanálu 47

Obr. 6.10: Costasova smyčka – signály pro NCO s vlivem přenosového kanálu 47

Obr. 6.11: Modulační a demodulovaný signál s vlivem přenosového kanálu 48

Obr. 6.12: Průběh modulovaného signálu 49

Obr. 6.13: Obálka modulovaného signálu 49

Obr. 6.14: Spektrum modulovaného signálu 50

Obr. 6.15: Spektrum modulovaného signálu s předmodulační filtrací 50

Obr. 6.16: Přijímaný paket z BPSK modulátoru bez filtrace 51

Obr. 6.17: Přijímaný paket z BPSK modulátoru s předmodulační filtrací 52

Obr. 6.18: Signály generující NCO 53

Obr. 6.19: Costasova smyčka – I složka (kanál 2) a Q složka (kanál 3) 53

Obr. 6.20: Frekvenční charakteristika Costasovy smyčky 55

Obr. 6.21: Costasova smyčka – I složka při schopnosti demodulace 55

Obr. 6.22 Závislost SNR_{OUT} na SNR_{IN} 56

Obr. 6.23: Spektrum signál s nastaveným *SNR* 57

Obr. 6.24: Costasova smyčka – I složka a Q složka při SNR_{IN} = 24 dB 57

Obr. P.1: Costasova smyčka při nezavěšení – I a Q složka 73

Obr. P.2: Costasova smyčka při nezavěšení – signály pro NCO 74

Seznam tabulek

Tab. 5.1: Využití FPGA – Modulátor 30

Tab. 5.2: Využití FPGA – Modulátor s předmodulační filtrací 34

Tab. 5.3: Využití FPGA – Demodulátor 40

Tab. 6.1: Frekvenční charakteristika Costasovy smyčky 54

Tab. 6.2: *SNR* vstupního signálu a I složky v Costasově smyčce 56

Literatura a zdroje

[1] ŽALUD, Václav. *Moderní radioelektronika*. 1. vyd. Praha: BEN - technická literatura, 2000, 653 s. ISBN 80-860-5647-3.

[2] PINKER, Jiří a Martin POUPA. *Číslicové systémy a jazyk VHDL*. 1. vyd. Praha: BEN - technická literatura, 2006, 349 s. ISBN 80-730-0198-5.

[3] TRETTER, Steven A. *Communication systems design using DSP algorithms: with laboratory experimetns for the TMS320C6713 DSK*. New York: Springer Science Business Media, 2008, 344 s. ISBN 978-0-387-74885-6.

[4] ALTERA CORPORATION. FPGA vs. DSP Design Reliability and Maintenance. 2007, s. 4. Dostupné z: http://www.altera.com/literature/wp/wp-01023.pdf

[5] ALTERA CORPORATION. DSP Builder Handbook: Volume 2: DSP Builder Standard Blockset. 2012, s. 408. Dostupné z: www.altera.com/literature/hb/dspb/hb_dspb_std.pdf

[6] ALTERA CORPORATION. Cyclone II DSP Development Board: Reference Manual. 2006, s. 112. Dostupné z: http://www.altera.com/literature/ds/schem_cyc2dsp2c70.pdf

[7] ALTERA CORPORATION. Cyclone II DSP Development Board: Schematic. 2006, s. 22. Dostupné z: http://www.altera.com/literature/ds/schem_cyc2dsp2c70.pdf

[8] MATHWORKS. Simulink: Simulation and Model-Base Design. 2012, s. 6. Dostupné z: http://www.mathworks.com/products/datasheets/pdf/simulink.pdf

[9] YUANL, HuimeiHuang, Xiaoguang HU a Juyong HUANG. Design and implementation of Costas loop based on FPGA. In: *Industrial Electronics and Applications*. 2008, s. 2383-2388. Dostupné z: http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4582944&isnumber=4582468

[10] AXFORD, A. Effects of CW and BPSK-Signal Interference on a Standard BPSK Digital Communications System. 1992, s. 48. Dostupné z: http://www.dtic.mil/cgi-bin/GetTRDoc?Location=U2&doc=GetTRDoc.pdf&AD=ADA255617

[11] MODABBES, Mohammad Samir a Salem NASRI. Bit Error Rate Analysis for BPSK Modulation in Presence of Noise and Two Co-channel Interferers. *International Journal of Computer Science and* Network Security. 2010, s. 152-155. Dostupné z: http://paper.ijcsns.org/07_book/201005/20100522.pdf

Přílohy

Vysílané pakety

Paket č. 1:

Volající: OK1AAA

Volaný: OK1BBB

Zpráva: Zkusebni paket – BPKS modulace – Ahoj

11111110111111101111111011111110111111101111111011111110111111101111111011111110
11111110111111101111111011111110111111101111111011111110111111101111111011111110
11111110111111101111111011111110111111101100011011001011101101010011
01010011010100101011101111101100011011001011101001010010010100
10010100010100011101010101011111001110011100111001100001110111 10
01101110110100010000111001001110101011010101111001010001110011 10
01101110100111101010110110001101010100101101011010100110001001 10
00110110101011011000111000001110100100011001111010001110010100 01
11010001100100010101001001110010101011011010100101001110000011 10
11001110110000011010111011111110

Délka 608b, CRC 617A

Paket č. 2:

Volající: OK1AAA

Volaný: OK1BBB

Zpráva: Zkusebni paket – BPKS modulace – Diplomka

11111110111111101111111011111110111111101111111011111110111111101111111011111110
11111110111111101111111011111110111111101111111011111110111111101111111011111110
11111110111111101111111011111110111111101100011011001011101101010011
01010011010100101011101111101100011011001011101001010010010100
10010100010100011101010101011111001110011100111001100001110111 10
01101110110100010000111001001110101011010101111001010001110011 10

011011101001111010101101100011010101001011010110101001100010011 0
0011011010101101100011100000111010010001100111101000111001010001
1101000110010001010100100111001010101101011010011011000101011110
1000111000001110011100011100111001010001011100000011011011111110

Délka 640b, CRC 4BEC

Paket č. 3:

Volající: OK1AAA

Volaný: OK1BBB

Zpráva: Zkusebni paket – BPKS modulace – KAE

1111111011111110111111101111111011111110111111101111111011111110
1111111011111110111111101111111011111110111111101111111011111110
1111111011111110111111101111111011111101100011011001011101101010 0
1101010011010100101011101111101100011011001011101001010010010100
1001010001010001110101010101111100111001110011100110000111011110
0110111011010001000011100100111010101101010111100101000111001110
0110111010011110101011011000110101010010110101101010011000100110
0011011010101101100011100000011101001000110011110100011100101000 1
1101000110010001010100100111001010101101110010011010100110010110
11101100110011001111111 0

Délka 600b, CRC AAA6

Paket č. 4:

Volající: OK1AAA

Volaný: OK1BBB

Zpráva: Zkusebni paket – BPKS modulace – Pavel

1111111011111110111111101111111011111110111111101111111011111110
1111111011111110111111101111111011111110111111101111111011111110
1111111011111110111111101111111011111101100011011001011101101010 0
1101010011010100101011101111101100011011001011101001010010010100

1001010001010001110101010101111100111001110011100110000111011110
0110111011010001000011100100111010101101010111100101000111001110
0110111010011110101011011000110101010010110101101010011000100110
0011011010101101100011100000111010010001100111101000111001010001
1101000110010001010100100111001010101101010110011010111011100001
1001000101110001001101000100011011111110

Délka 616b, CRC 598A

Koeficienty filtrů

Dolní propust v modulátoru (Raised Cosine filtr):

$$h[k] \cdot 100000 = [136, -599, -870, -241, 1020, 1898, 1195, -1518, -5161, -7209, -4745, 3917, 17915, 33668, 46106, 50831, 46106, 33668, 17915, 3917, -4745, -7209, -5161, -1518, 1195, 1898, 1020, -241, -870, -599, 136]$$

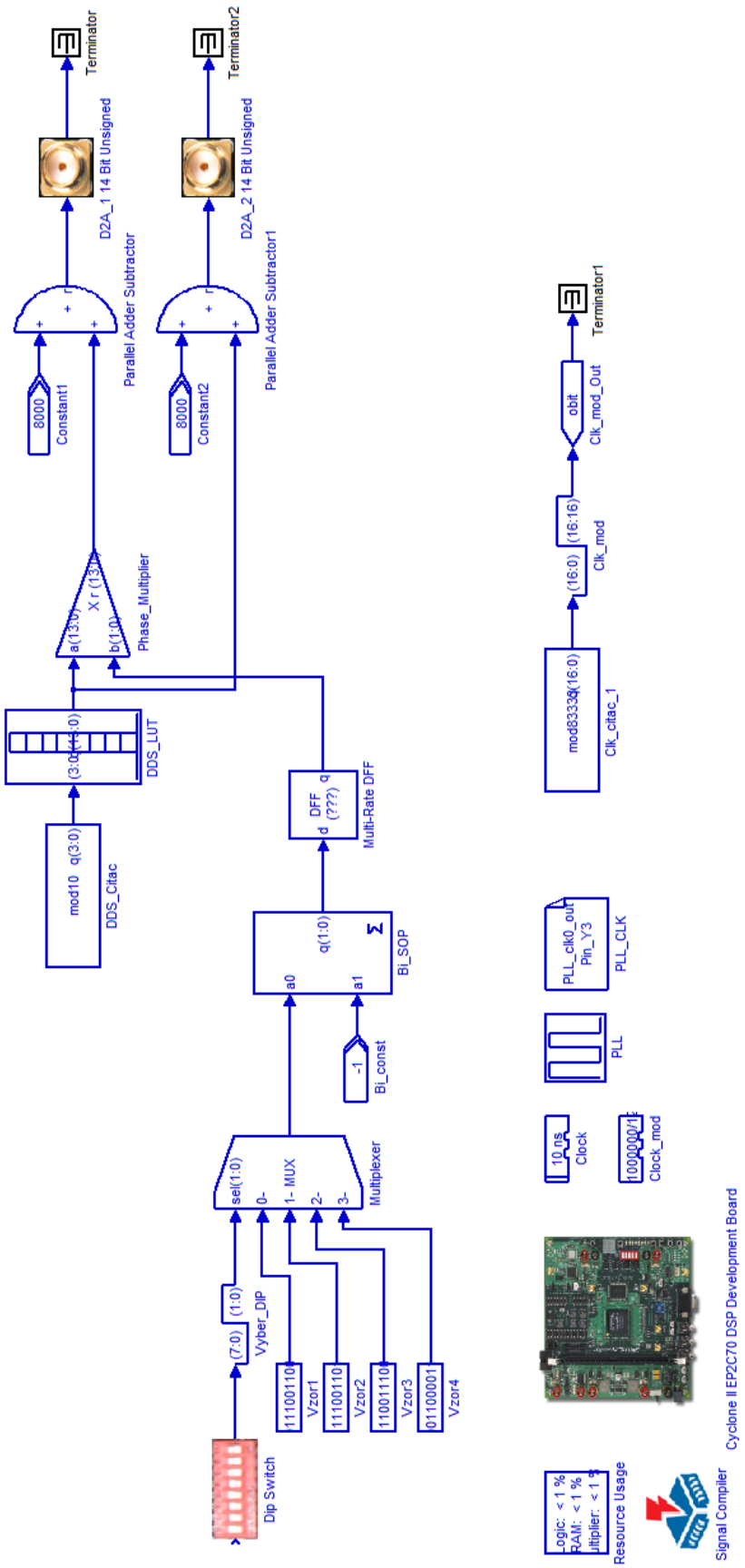
Pásmová propust v demodulátoru:

$$h[k] \cdot 8192 = [112, 142, 133, -38, -405, -795, -892, -481, 339, 1156, 1496, 1156, 339, -481, -892, -795, -405, -38, 133, 142, 112]$$

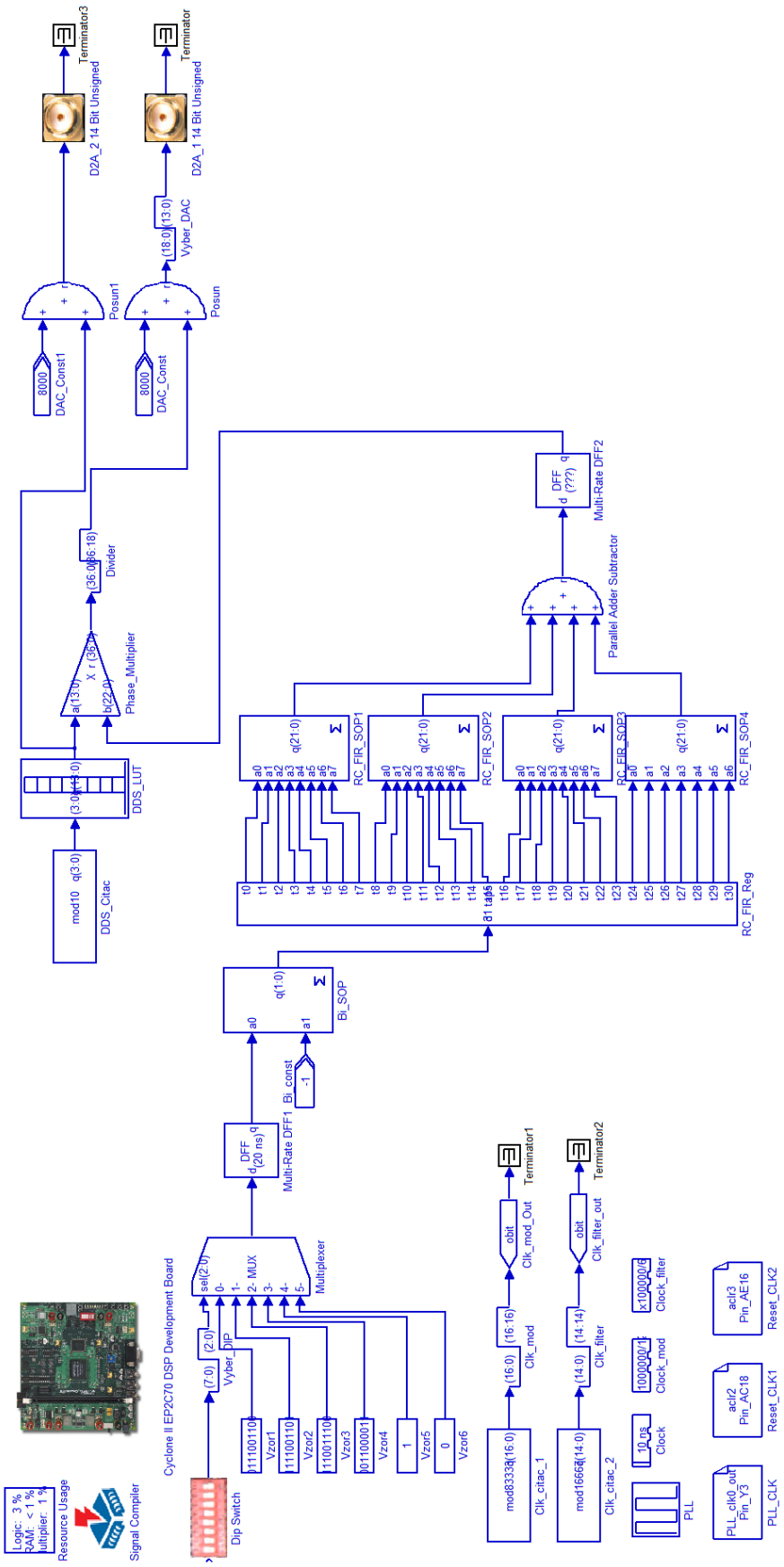
Dolní propust v demodulátoru:

$$h[k] \cdot 10000 = [341, 742, 1885, 3947, 6766, 9843, 12477, 13998, 13998, 12477, 9843, 6766, 3947, 1885, 742, 341]$$

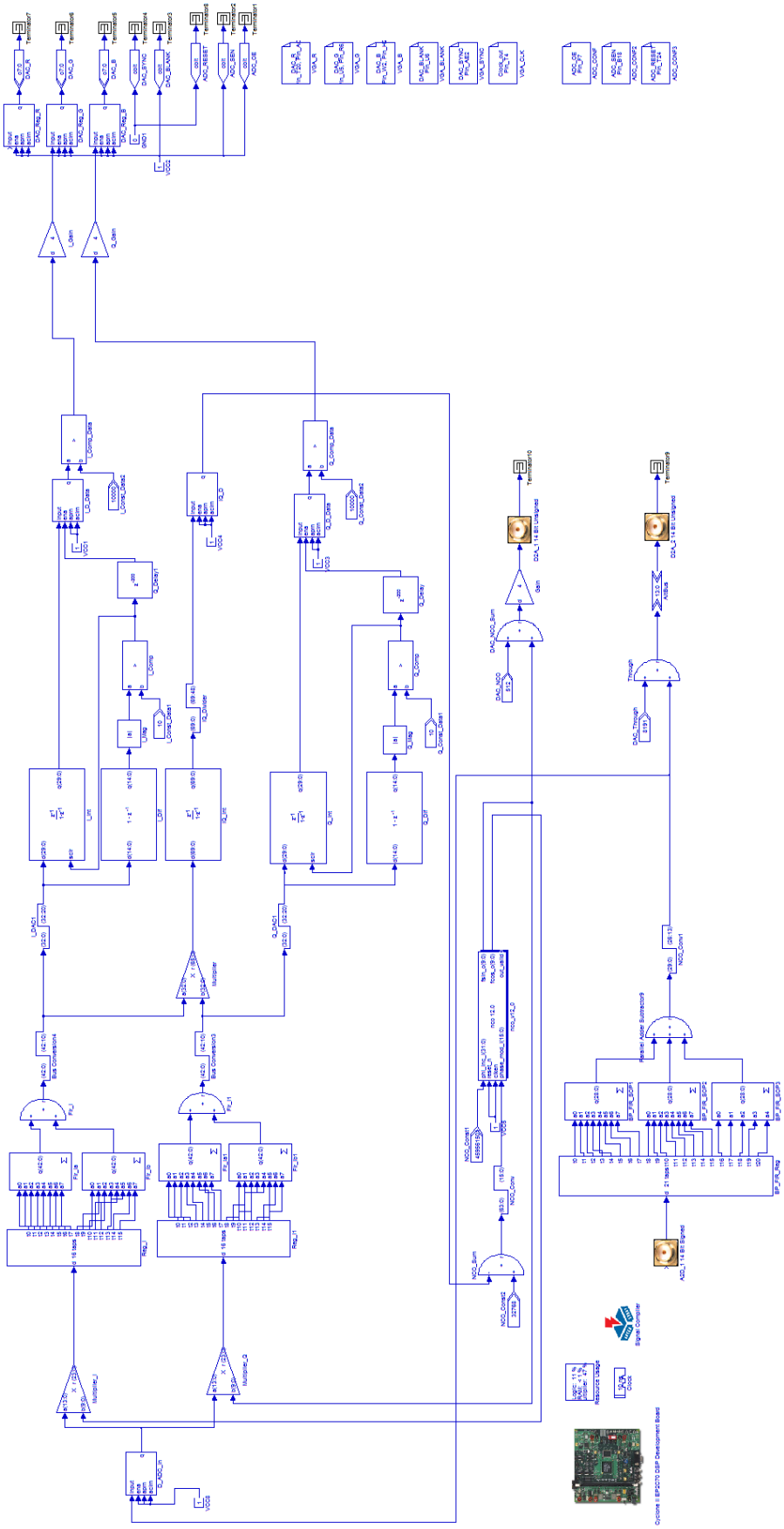
Blokové schéma modulátoru



Blokové schéma modulátoru s předmodulační filtrací

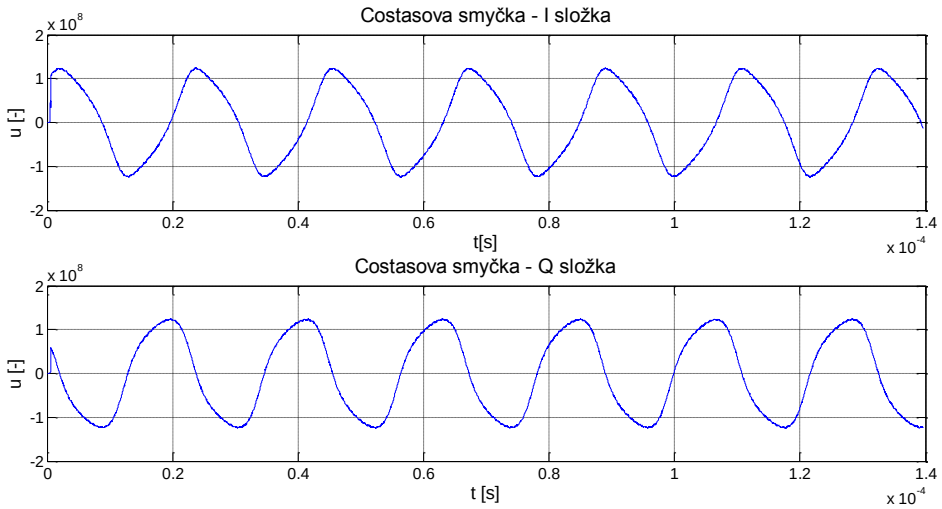


Blokové schéma demodulátoru



Signály nezavěšené Costasovy smyčky

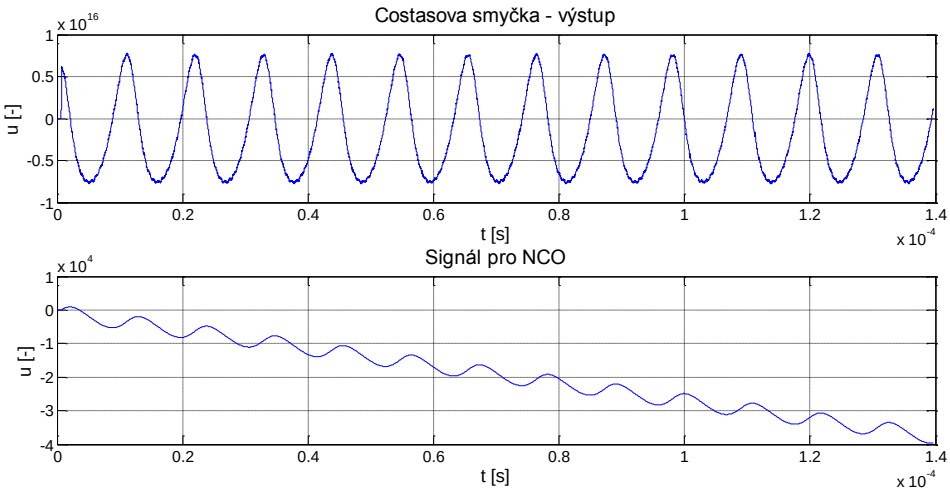
Na následujícím obrázku je uvedena I složka a Q složka Costasovy smyčky v situaci, pokud tato smyčka není zavěšena.



Obr. P.1: Costasova smyčka při nezavěšení – I a Q složka

Z průběhů je vidět rozdílový kmitočet vstupního signálu s generovaným signálem z NCO. Složky jsou vůči sobě posunuté o 90°. Protože smyčka se snaží o zavěšení, NCO má snahu se doladit. Z tohoto důvodu se mění fáze a ve složkách se tato změna projevuje jejich zkreslením, při kterém není produkován sinový a kosinový průběh.

Snaha o doladění je patrná z průběhu výstupu Costasovy smyčky, který je znázorněn na následujícím obrázku. Výstup smyčky kmitá kolem nulové hodnoty a není schopný dosáhnout hodnoty, při které by smyčka byla zavěšena, a potom klesnout k nulové hodnotě.



Obr. P.2: Costasova smyčka při nezavěšení – signály pro NCO

Evidenční list

Souhlasím s tím, aby moje diplomová práce byla půjčována k prezenčnímu studiu v Univerzitní knihovně ZČU v Plzni.

Datum: Podpis:

Uživatel stvrzuje svým čitelným podpisem, že tuto diplomovou práci použil ke studijním účelům a prohlašuje, že ji uvede mezi použitými prameny.

Jméno	Fakulta / Katedra	Datum	Podpis